

苏州华芯微电子股份有限公司



HuaXin Micro-electronics Co., Ltd

HS23P10 单片机
参考手册
V2.5



目录

1. 概述	1
2. 特征	1
3. 管脚信息	2
3.1 管脚图	2
3.2 管脚说明	2
4. 系统框图	4
5. 存储器结构	4
5.1 程序存储器结构	4
5.2 数据存储器结构	5
6. 功能描述	6
6.1 工作寄存器	6
6.1.1 INDF(间接寻址寄存器)	6
6.1.2 TMR0(定时计数器)	7
6.1.3 PCL(程序计数器的低字节)和 Stack	7
6.1.4 STATUS(状态寄存器)	9
6.1.5 FSR(间接寻址指针)	9
6.1.6 PORTA 和 PORTB(端口数据寄存器)	9
6.1.7 CHIPCON(芯片控制寄存器)	10
6.1.8 WUCON(PORB 输入状态变化唤醒控制寄存器)	10
6.1.9 PCHBUF(PC 高位缓冲器)	10
6.1.10 PDCON(内部下拉控制寄存器)	10
6.1.11 ODCON(漏极开路控制寄存器)	10
6.1.12 PHCON(内部上拉控制寄存器)	11
6.1.13 INTEN(中断屏蔽寄存器)	11
6.1.14 INTFLAG(中断状态寄存器)	11
6.1.15 ACC(累加器)	11
6.1.16 OPTION 寄存器	11
6.1.17 IOSTA 和 IOSTB(I/O 口控制寄存器)	12
6.2 I/O 口	12
6.3 Timer0/WDT 和预分频器	15
6.3.1 Timer0	15
6.3.1.1 内部指令时钟作为时钟源：定时模式	15
6.3.1.2 外部时钟源：计数模式	15
6.3.2 WDT(看门狗定时器)	16
6.3.3 预分频器	16
6.4 中断	16
6.4.1 外部中断	17
6.4.2 Timer0 中断	17
6.4.3 PORT B 输入改变中断	17
6.5 SLEEP(睡眠模式)	17
6.5.1 睡眠唤醒	17
6.6 复位 RESET	18
6.6.1 上电延时定时器 PWRT	18
6.6.2 振荡器起振定时器 OST	18
6.6.3 复位顺序	18
6.7 振荡配置	20



7. 电气特性	23
7.1 绝对最大额定值	23
7.2 操作条件	23
7.3 直流特性(除非特殊说明 WDT 和 LVDT 禁止)	23
8.指令集	28
8.1 指令描述	29
9. 封装及尺寸	39
9.1 SOP14 封装图及尺寸	39
9.1.1 SOP14 封装图	39
9.1.2 SOP14 封装尺寸	39
9.2 DIP14 封装图及尺寸	40
9.2.1 DIP14 封装图	40
9.2.2 DIP14 封装尺寸	40
9.3 SOP8 封装图及尺寸	41
9.3.1 SOP8 封装图	41
9.3.2 SOP8 封装尺寸	41
9.4 DIP8 封装图及尺寸	42
9.4.1 DIP8 封装图	42
9.4.2 DIP8 封装尺寸	42
10. 修正记录	43



HS23P10

产品说明书

Ver 2.5

1. 概述

HS23P10 系列是一款低功耗，高速，高噪声容限，EPROM/ROM 基于 8 位 CMOS 工艺制造的单片机，采用 RISC 指令集，共有 42 条指令，除分支指令为两个周期指令以外其余为单周期指令。这种易用、易记的指令集大大缩短了开发时间。HS23P10 系列包含了上电复位(Power-on Reset POR)，掉电复位(Brown-out Reset BOR)，上电复位计数器 (Power-up Reset Timer PWRT)，振荡启动计数器 (Oscillator Start-up Timer OST)，看门狗定时器(Watchdog Timer)，EPROM/ROM，SRAM，双向三态 I/O 口，(可以设置为上拉/下拉、开漏)，省电睡眠模式，一个带 8 位预置器的 8 位定时/计数器，独立中断，睡眠唤醒模式和可靠的代码保护，有两个振荡源可供用户配置选择，包含省电振荡源和低功耗振荡器。HS23P10 系列可访问 2K×14 的程序存储空间，能直接或间接访问寄存器以及数据存储区，所有的特殊功能寄存器分布在数据存储区同时包含特定的程序指针。

2. 特征

- ◆ 42 条 RISC 指令
- ◆ 除了程序分支指令是两个周期，所有的指令都是单周期
- ◆ 14 位宽指令，8 位宽数据路径，5 级深度硬件堆栈
- ◆ 支持 GOTO 指令全 ROM 跳转
- ◆ 支持全 ROM 子程序调用
- ◆ 2K×14 的程序存储器
- ◆ 65 × 8 位通用寄存器
- ◆ 运行速度：DC - 20 MHz 的时钟输入；DC - 100 ns 指令周期
- ◆ 直接、间接寻址方式
- ◆ 拥有 8 位可编程预分频器的 8 位实时时钟/计数器（定时器 0）
- ◆ 内部上电复位电路（POR）、内置低电压检测（LVD）用于欠压复位（BOR）
- ◆ 上电复位定时器（PWRT）和振荡器启动定时器（OST）
- ◆ 看门狗定时器（WDT）使用内部晶振可靠性高，由软件使能或禁止
- ◆ 两组 I/O 口 IOA 和 IOB 采用相互独立的指令控制，可配置上拉、下拉和开漏等状态
- ◆ 唤醒睡眠：INT 管脚或者端口 B 的输入状态改变实现睡眠唤醒
- ◆ 省电休眠模式，可编程代码保护
- ◆ 可选的振荡器选项：ERC：外部 RC 振荡器
IRC：内部 RC 振荡器
ERIC：外部电阻内部电容振荡器
LF：低速晶振
HF：高速晶振
- ◆ 宽工作电压范围：2.2V至5.5V

特性选择列表

CHIP	ROM(Byte)	RAM(Byte)	堆栈	I/O	封装
HS23P10	2K*14	65	5	12	SOP14/DIP14
	2K*14	65	5	6	SOP8/DIP8



3. 管脚信息

3.1 管脚图

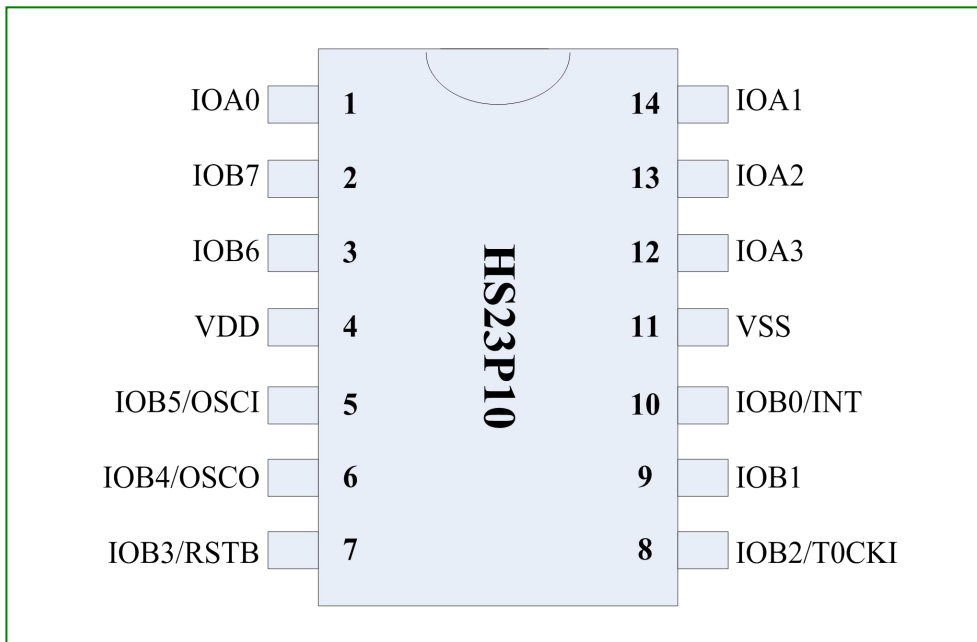


图 3.1 管脚信息（14PIN）

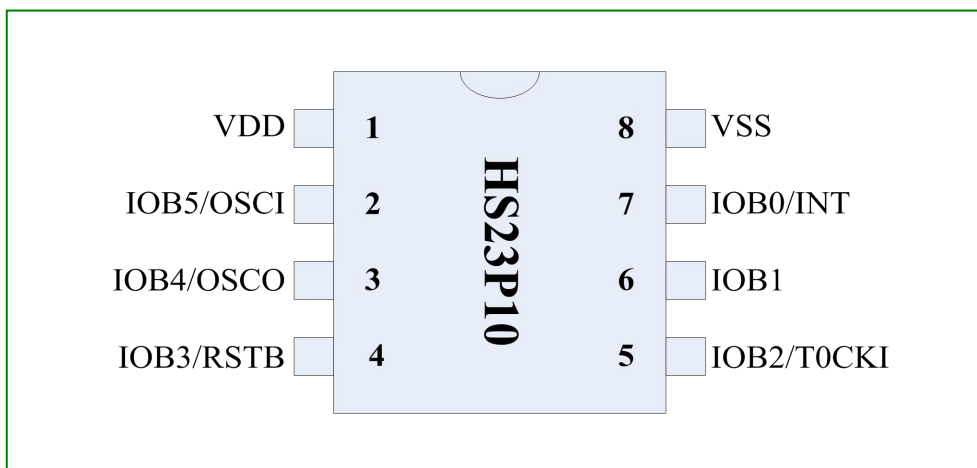


图 3.2 管脚信息（8PIN）

3.2 管脚说明

名称	类型	说明
IOA0~ IOA3	I/O	1. 一般 I/O 口 2. 可配置下拉电阻器
IOB0/INT	I/O	1. 一般 I/O 口 2. 可配置上拉/下拉/漏极开路功能 3. 脚位改变使芯片从睡眠模式唤醒

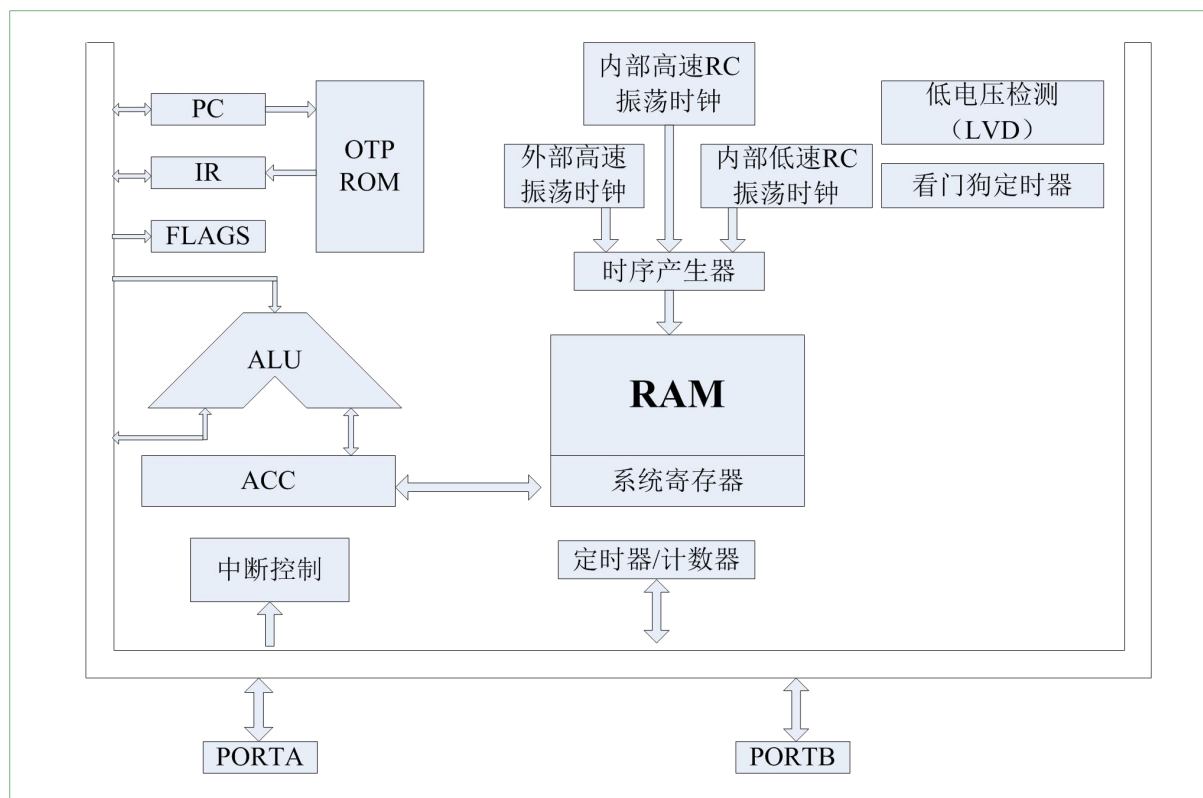


		4. 通过上升沿或下降沿触发中断产生(选择)
IOB1	I/O	1. 一般 I/O 口 2. 可配置上拉/下拉/漏极开路功能 3. 脚位改变使芯片从睡眠模式唤醒
IOB2/T0CKI	I/O	1. 一般 I/O 口 2. 可配置上拉/下拉/漏极开路功能 3. 脚位改变使芯片从睡眠模式唤醒 4. 定时器输入(选择)
IOB3/RSTB	I/O	1. 输入脚位 2. 系统复位信号(低电平有效) 3. 脚位改变使芯片从睡眠模式唤醒 4. 可配置为开漏输出
IOB4/OSCO	I/O	1. 一般 I/O 口 2. 可配置上拉/漏极开路功能 3. 脚位改变使芯片从睡眠模式唤醒 4. 振荡器输出脚位(晶振模式不能设置为上拉)
IOB5/OSCI	I/O	1. 一般 I/O 口 2. 可配置上拉/漏极开路功能 3. 脚位改变使芯片从睡眠模式唤醒 4. 振荡器输入脚位(晶振模式不能设置为上拉)
IOB6~IOB7	I/O	1. 一般 I/O 口 2. 可配置上拉/漏极开路功能 3. 脚位改变使芯片从睡眠模式唤醒
VDD	P	系统电源输入
VSS	P	系统接地输入

注： I：输出；O：输入；P：电源



4. 系统框图



5. 存储器结构

HS23P10 存储器分为程序存储器和数据存储器。

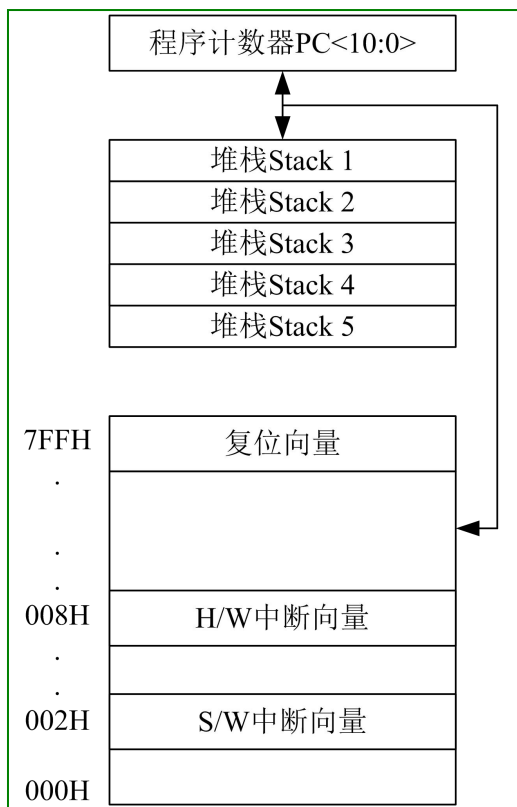
5.1 程序存储器结构

HS23P10 有一个 11 位程序计数器 PC，可寻址 2K*14 程序存储器。芯片复位向量为 7FFH。

CALL/GOTO 指令可寻址所有程序存储器。

H/W 中断向量地址 008H， S/W 中断向量地址 002H。CALL/GOTO 能指向在同一个程序页面（一个程序页面为 2K）的所有存储空间

程序存取器和堆栈结构如下图所示：



5.2 数据存储结构

HS23P10 的数据存储器有特殊功能寄存器 SFR 和通用寄存器组成。通用寄存器可直接寻址，也可通过 FSR 寄存器实现间接寻址。

表 5.1：数据存取器结构

地址	功能描述
00H	INDF
01H	TMR0
02H	PCL
03H	STATUS
04H	FSR
05H	PORTA
06H	PORTB
07H	通用寄存器
08H	PCON
09H	WUCON
0AH	PCHBUF
0BH	PDCON
0CH	ODCON
0DH	PHCON
0EH	INTEN
0FH	INTFLAG
10H~4FH	通用寄存器

N/A	OPTION
05H	IOSTA
06H	IOSTB



表 5.2: 特殊功能寄存器地址

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
00H(r/w)	INDF	使用 FSR 的内容寻址数据寄存器（非物理寄存器）							
01H(r/w)	TMR0	8 位实时定时计数器							
02H(r/w)	PCL	PC 的低 8 位							
03H(r/w)	STATUS	RST	GP1	GP0	$\overline{T0}$	$\overline{PD}$	Z	DC	C
04H(r/w)	FSR	*	*	间接寻址指针					
05H(r/w)	PORTA	-	-			IOA3	IOA2	IOA1	IOA0
06H(r/w)	PORTB	IOB7	IOB6	IOB5	IOB4	IOB3	IOB2	IOB1	IOB0
08H(r/w)	PCON	WDTE	EIS	LVDTE	*	*	*	*	*
09H(r/w)	WUCON	WUB7	WUB6	WUB5	WUB4	WUB3	WUB2	WUB1	WUB0
0AH(r/w)	PCHBUF	-	-	-	-	-			
0BH(r/w)	PDCON		/PDB2	/PDB1	/PDB0	/PDA3	/PDA2	/PDA1	/PDA0
0CH(r/w)	ODCON	ODB7	ODB6	ODB5	ODB4		ODB2	ODB1	ODB0
0DH(r/w)	PHCON	/PHB7	/PHB6	/PHB5	/PHB4		/PHB2	/PHB1	/PHB0
0EH(r/w)	INTEN	GIE	*	*	*	*	INTIE	PBIE	T0IE
0FH(r/w)	INTFLAG	-	-	-	-	-	INTIF	PBIF	T0IF

说明：“-”未使用，读操作返回‘0’；“*”未使用，读操作返回‘1’

表 5.3: 通过 OPTION 或 IOST 指令控制的寄存器

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
N/A(w)	OPTION		INTEDGE	T0CS	T0SE	PSA	PS2	PS1	PS0
05H(w)	IOSTA	Port A 输入输出控制寄存器							
06H(w)	IOSTB	Port B 输入输出控制寄存器							

6. 功能描述

6.1 工作寄存器

6.1.1 INDF(间接寻址寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
00H(r/w)	INDF	使用 FSR 的内容寻址数据寄存器（非物理寄存器）							

INDF 寄存器不是真正的物理寄存器,任何使用 INDF 寄存器的指令实际上访问的是由指针寄存器（FSR）所指向的寄存器。若使用间接寻址方式对 INDF 寄存器进行读操作（FSR='0'），读的结果为 00H；而使用间接寻址对 INDF 寄存器进行写操作，实际执行的是空操作，但有可能影响标志位。FSR 寄存器的位<5:0>可以用来选择 64 个寄存器（地址：00H~3FH）。

例 6.1: 间接寻址

- ◆ 寄存器 28 里值为 10H
- ◆ 寄存器 29 里的值为 0AH
- ◆ 把 28 放入 FSR 寄存器
- ◆ 读 INDF 寄存器将返回 10H
- ◆ FSR 寄存器的值加 1
- ◆ 读 INDF 寄存器将返回 0AH



6.1.2 TMR0(定时计数器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
01H(r/w)	TMR0	8 位实时定时计数器							

TMR0 是一个 8 位定时计数器。TMR0 的时钟源可为指令时钟或者外部时钟，如何选择由 T0CS (OPTION<5>) 控制。如果选择外部时钟 (T0CKI 引脚)，TMR0 将会在时钟的上升/下降沿 (由 T0SE(OPTION<4>)控制) 加 1。通过清除 PSA 位 (OPTION<3>)，可以将预分频器分配给 TMR0 模块，在此情况下，任何对 TMR0 的写操作都将清除预分频寄存器。

6.1.3 PCL(程序计数器的低字节)和 Stack

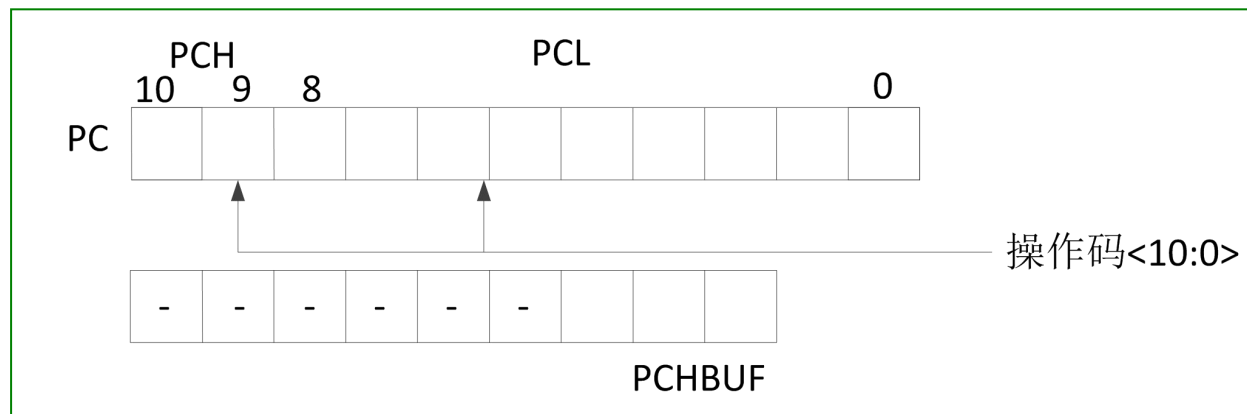
地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
02H(r/w)	PCL	程序计数器的低字节							

HS23P10 有一个 11 位程序计数器 PC 和 11 位 5 级深度硬件堆栈 Stack。PC 的低 8 位是 PCL (PC<7:0>)，即可读也可写；第 8、9、10 位是 PCH (PC<10:8>)，不能直接读写，PCH 寄存器的改变是通过 PCHBUF 寄存器来实现的。当程序执行的时候，PC 里装载的是下一条将要执行程序的地址。每个指令周期，PC 值将增加 1，除非有指令改变 PC 的值。

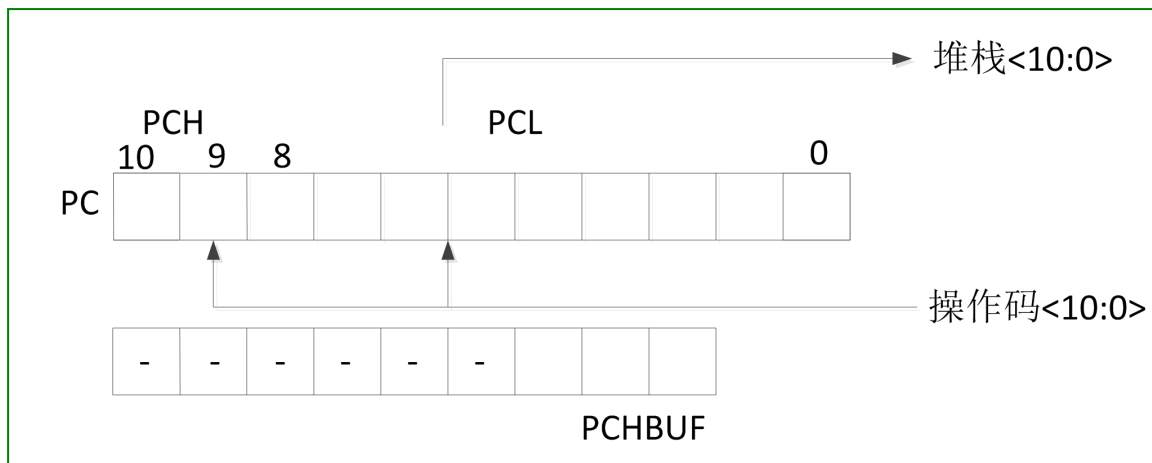
如图 6.1 所示为装载 PC 值的四种情况。

图 6.1： 装载 PC 的四种情况

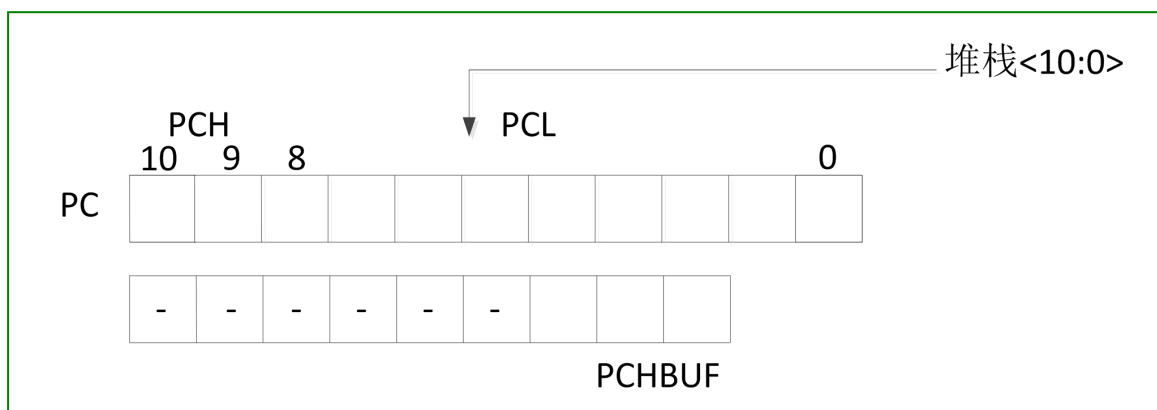
情况 1： 执行 GOTO 指令



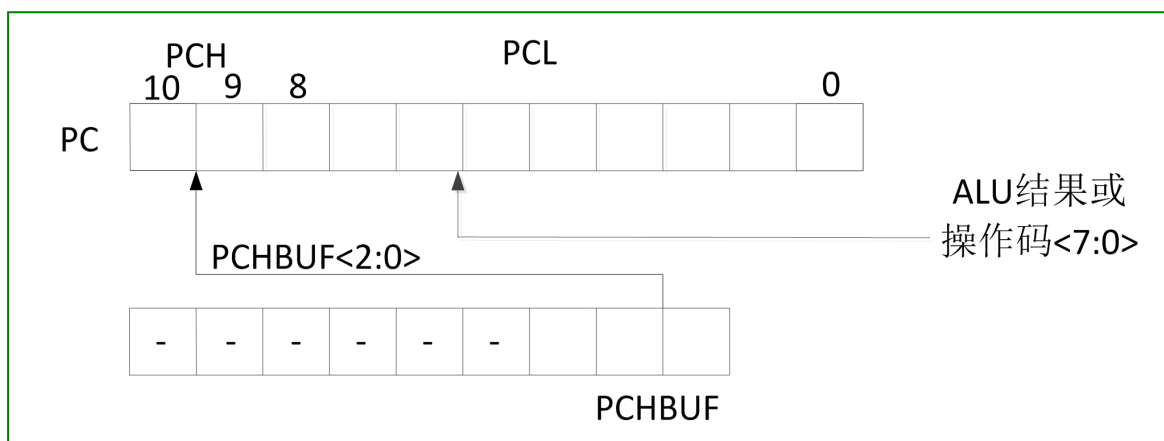
情况 2： 执行 CALL 指令



情况 3：执行 RETIA、RETFIE 或者 RETURN 指令



情况 4：写 PCL 时



注 1：PCHBUF 只有在 PCL 内容是目标地址才有效
2：PCHBUF 不会随 PCH 的改变而改变



6.1.4 STATUS(状态寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
03H(r/w)	STATUS	RST	GP1	GP0	$\overline{T0}$	$\overline{PD}$	Z	DC	C

状态寄存器 STATUS 反映运算器运算及复位后的状态。如果 STATUS 是某一指令的目标寄存器，且该指令将影响标志位 Z、DC 或者 C，那么对此三位的写操作是禁止的。Bit4 和 Bit3 是不可写的。清状态寄存器 STATUS 将出现下面结果 000uu1uu（u 表示未改变）。

C: 进位/ 借位位

1 = 有进位或无借位

0 = 无进位或有借位

注： 借位时极性相反。执行减法是通过加上第二个操作数的补码来完成的。对于移位指令（RRR, RLR），源寄存器的最高位或最低位移入此位。

DC: 半进位/ 借位位（ADDAR, ADDIA, SUBIA, SUBAR 指令）

1 = 有第 3 位向第 4 位进位或无第 3 位向第 4 位借位

0 = 无第 3 位向第 4 位进位或有第 3 位向第 4 位借位

Z: 零位

1 = 运算或逻辑运算的结果是零

0 = 运算或逻辑结果的结果非零

$\overline{PD}$: 掉电标志位

1 = 上电或者执行 CLRWDT 指令

0 = 执行 SLEEP 指令

$\overline{T0}$: 定时器溢出标志位

1 = 上电或者执行 CLRWDT 或 SLEEP 指令

0 = 看门狗定时器溢出

GP1:GP0: 通用寄存器读写位

RST: 系统唤醒类型位

1 = PORTB 状态改变唤醒

0 = 其他类型唤醒

6.1.5 FSR(间接寻址指针)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
04H(r/w)	FSR	未用	未用	间接寻址指针					

Bit:Bit0 : 选择间接寻址寄存器地址;

Bit7:6 : 未使用, 读操作返回 1

6.1.6 PORTA 和 PORTB(端口数据寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
05H(r/w)	PORTA	未用	未用	未用	未用	IOA3	IOA2	IOA1	IOA0
06H(r/w)	PORTB	IOB7	IOB6	IOB5	IOB4	IOB3	IOB2	IOB1	IOB0

读端口操作是读的引脚的状态, 和引脚模式无关。IOB3 可做输入或者配置为开漏输出。



6.1.7 CHIPCON(芯片控制寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
08H(r/w)	PCON	WDTE	EIS	LVDTE	未用	未用	未用	未用	未用

LVDTE: LVDT（低电压检测）使能位

1 = 使能 LVDT

0 = 禁止 LVDT

EIS: IOB0/INT 引脚定义位

1 = INT (外部中断输入脚)，在这种模式下，IOB0 必须置“1”。IOB0 的输入功能被硬件屏蔽，读取 INT 引脚信息的与读 PORTB 方式相同

0 = IOB0 引脚被选择，屏蔽 INT 功能

WDTE: WDT（看门狗定时器）使能位

1 = 使能 WDT

0 = 禁止 WDT

6.1.8 WUCON(PORB 输入状态变化唤醒控制寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
09H(r/w)	WUCON	WUB7	WUB6	WUB5	WUB4	WUB3	WUB2	WUB1	WUB0

1: 使能唤醒功能

0: 关闭唤醒功能

6.1.9 PCHBUF(PC 高位缓冲器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
0AH(r/w)	PCHBUF	未用	未用	未用	未用	未用			

低 2 位有效，详见 6.1.3

6.1.10 PDCON(内部下拉控制寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
0BH(r/w)	PDCON	未用	/PDB2	/PDB1	/PDB0	/PDA3	/PDA2	/PDA1	/PDA0

1: 禁止相应引脚内部下拉

0: 使能相应引脚内部下拉

6.1.11 ODCON(漏极开路控制寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
0CH(r/w)	ODCON	ODB7	ODB6	ODB5	ODB4	未用	ODB2	ODB1	ODB0

1: 相应引脚漏极开路输出使能

0: 相应引脚漏极开路输出禁止



6.1.12 PHCON(内部上拉控制寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
0DH(r/w)	PHCON	/PHB7	/PHB6	/PHB5	/PHB4	未用	/PHB2	/PHB1	/PHB0

1: 禁止相应引脚内部上拉

0: 使能相应引脚内部上拉

6.1.13 INTEN(中断屏蔽寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
0E(r/w)	INTEN	GIE	未用	未用	未用	未用	INTIE	PBIE	TOIE

TOIE: Timer0 溢出中断使能位

1 = 使能 Timer0 溢出中断

0 = 禁止 Timer0 溢出中断

PBIE: Port B 输入状态变化中断使能位

1 = 使能 Port B 输入状态变化中断

0 = 禁止 Port B 输入状态变化中断

INTIE: 外部中断使能位

1 = 使能外部中断

0 = 禁止外部中断

GIE: 全局中断使能位

1 = 使能所有为屏蔽的中断, 对于睡眠模式中的中断唤醒, MCU 将跳到中断地址 008H

0 = 禁止所有中断, 对于睡眠模式中点中断唤醒, MCU 将执行 SLEEP 后的指令

注: 在中断事件发生时, GIE 被硬件清零并禁止一切中断。执行 RETFIE 指令退出中断程序并重新设置 GIE = 1 允许中断。

6.1.14 INTFLAG(中断状态寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
0F(r/w)	INTFLAG	未用	未用	未用	未用	未用	INTIF	PBIF	TOIF

TOIF: Timer0 溢出中断标志位, Timer0 溢出时被置位, 软件复位

PBIF: Port B 输入状态变化中断标志位, Port B 输入状态改变时被置位, 软件复位

INTIF: 外部中断标志位, INT 引脚上升沿/下降沿 (由 INTEDG 位 OPTION<6>配置), 软件复位

6.1.15 ACC(累加器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
N/A(r/w)	ACC	累加器							

累加器时一个内部数据传送、指令操作数存储单元, 没有被编址。

6.1.16 OPTION 寄存器

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
N/A(w)	OPTION	未用	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0



执行 OPTION 指令，累加器 ACC 里面的内容将被传送到 OPTION 寄存器。OPTION 寄存器是一个可写不可读寄存器，它含有各种控制位，用来设置 TMR0/WDT 及其预分频器和外部中断。

PS2:PS0: 预分频比率选择位

PS2:PS0	TMR0 比率	WDT 比率
0 0 0	1:2	1:1
0 0 1	1:4	1:2
0 1 0	1:8	1:4
0 1 1	1:16	1:8
1 0 0	1:32	1:16
1 0 1	1:64	1:32
1 1 0	1:128	1:64
1 1 1	1:256	1:128

PSA: 预分频分配位

1= 预分频器分配给 WDT

0= 预分频器分配给 TMR0

T0SE: TMR0 时钟源边沿选择位

1= T0CKI 引脚下降沿触发计数

0= T0CKI 引脚上升沿触发计数

T0CS: TMR0 时钟源选择位

1= 外部 T0CKI 引脚。即使 IOST IOB2="0", IOB2/T0CKI 也会被强制设置为输入

0= 内部指令时钟

INTEDG: 外部中断触发方式选择位

1= INT 引脚上升沿触发中断

0= INT 引脚下降沿触发中断

6.1.17 IOSTA 和 IOSTB(I/O 口控制寄存器)

地址	名称	B7	B6	B5	B4	B3	B2	B1	B0
05H(w)	IOSTA	PORTA I/O 控制寄存器							
05H(w)	IOSTB	PORTB I/O 控制寄存器							

执行 IOST R(05H~06H)指令可以将累加器 ACC 里面的内容加载到此寄存器。当 IOST 寄存器某位置“1”时，其相应引脚的输出驱动呈高阻态(此时作输入模式)；当 IOST 寄存器某位清零，则输出锁存器中的数据就从相应引脚输出（此时作输出模式）。IOST 寄存器只可写，复位后各位被置 1。

6.2 I/O 口

PORT A 和 PORT B 是双向三态输入/输出端口。PORT A 为 4 脚 I/O 口；PORT B 为 8 脚 I/O 口。IOB3 可以用作输入或者开漏输出。

除了 IOB3 作为输入或开漏输出和 IOB2 需要通过 OPTION 寄存器的 T0CS ((OPTION<5>)) 位控制外，所有的 I/O 引脚都有一个直接控制寄存器 (IOSTA 和 IOSTB)，用于配置端口的输入输出状态。

IOB 输入状态变化能够唤醒芯片，通过 WUCON 寄存器配置相应的引脚的唤醒功能。

IOB<7:4> 和 IOB<2:0>有相应的上拉控制位(PHCON 寄存器)来设置使能内部上拉，如果设置为输出模式，内部上拉功能会自动关闭。

IOA<3:0>和 IOB<2:0>有相应的下拉控制位(PDCON 寄存器)来设置使能内部下拉，如果设置为



输出模式，内部下拉功能会自动关闭。

IOB<7:4>和 IOB<2:0>有相应的漏极开路控制位(ODCON 寄存器)，当这些引脚被设置为输出模式时，可通过 ODCON 寄存器来使能漏极开路输出。

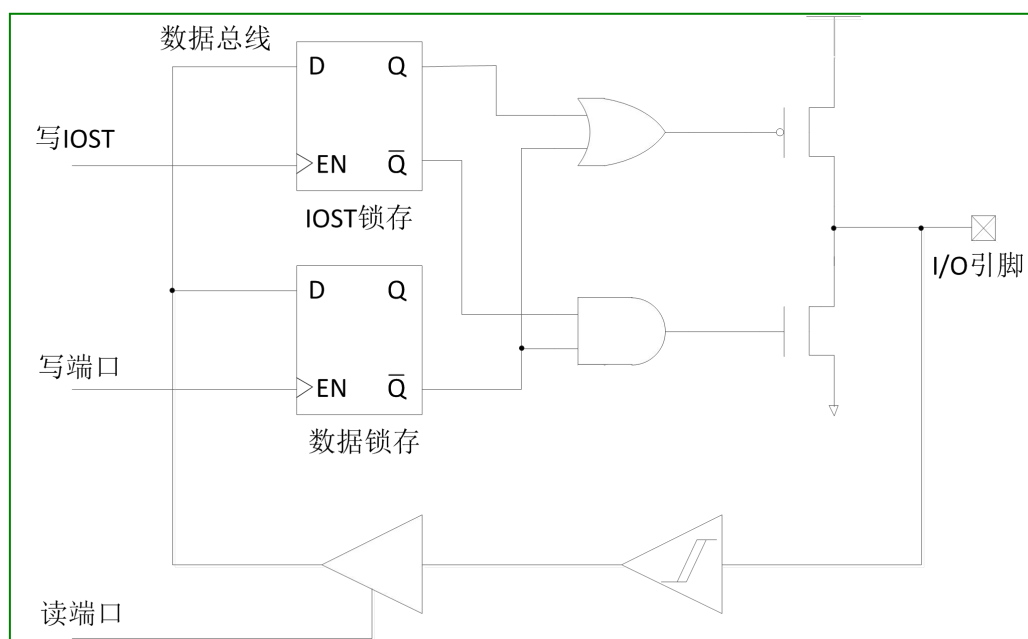
IOB<7:0> 有输入改变中断/唤醒功能。它的每个管脚是否具有该功能通过取决于 WUCON 寄存器的相应位

当 EIS(PCON<6>)=1 时，IOB0 作为外部中断输入脚，在该模式下 IOB0 输入改变中断/唤醒功能被硬件屏蔽，即使软件已经设置为中断/唤醒功能可用也不可启用该功能。

通过配置字能够设置管脚的复用功能，复用功能设置以后，读 I/O 的值为 0。

I/O 口引脚框图如下

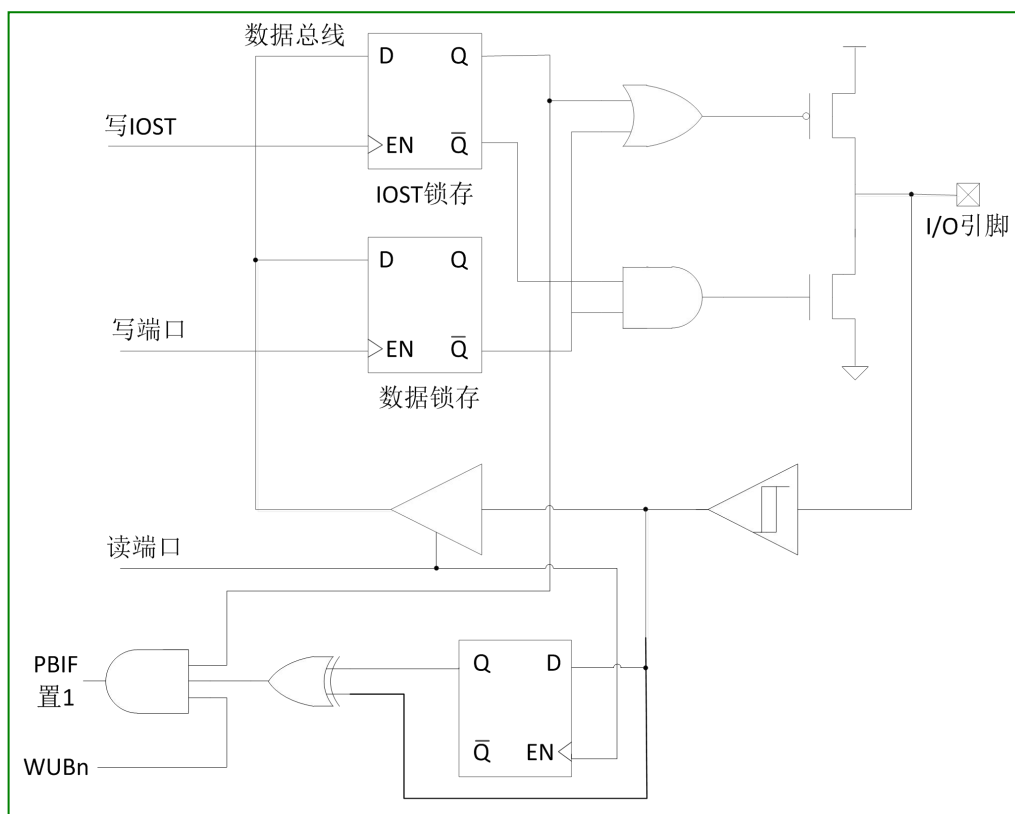
IOA0~IOA3:



图中未显示下拉

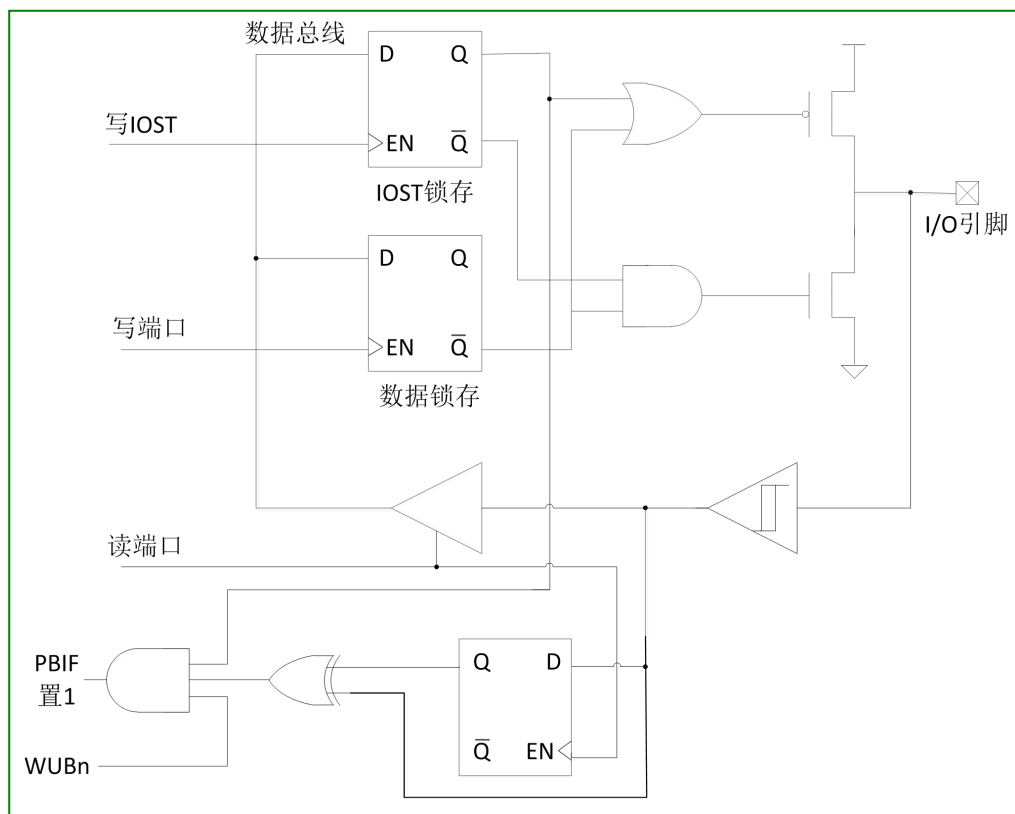


IOB1~IOB7:



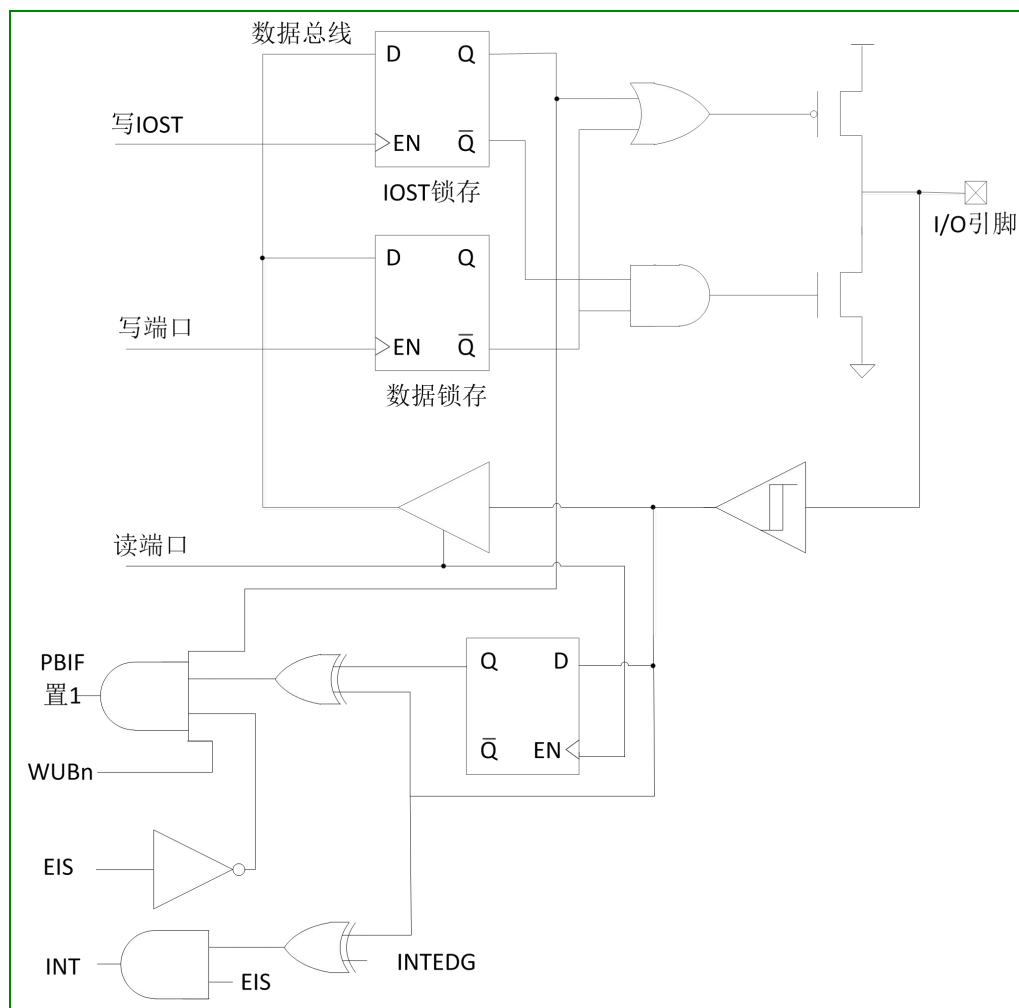
图中未显示上拉/下拉/开漏

IOB3:





IOB0/INT:



图中未显示上拉/下拉/开漏

6.3 Timer0/WDT 和预分频器

6.3.1 Timer0

Timer0 是一个 8 位定时计数器，可选内部指令时钟或外部时钟源（T0CKI 引脚）。

6.3.1.1 内部指令时钟作为时钟源：定时模式

通过清 T0CS 位选择定时模式。定时模式下每条指令周期 TMR0 加 1（没有预分频的情况下）。如果写 TMR0 寄存器，那么 TMR0 将在两个指令周期后才会开始加 1。

6.3.1.2 外部时钟源：计数模式

通过置位 T0CS 选择计数模式。计数模式下 TMR0 在 T0CKI 引脚的上升沿或下降沿加 1，到底是上升沿还是下降沿由 T0SE 控制（1：下降沿；0：上升沿）。

未使用预分频时，外部时钟同样可以作为预分频器输出。T0CKI 与内部相位时钟的同步是通过在相位时钟的 T2 和 T4 时对预分频器的输出进行采样来实现的。因此，要求 T0CKI 的信号高、低电平分别至少保持 2Tosc。



当使用预分频时，外部时钟信号要先经过异步脉动计数器预分频器的分频。为了使外部时钟满足采样要求，必须将脉动计数器考虑在内。因此，要求外部时钟至少保持 $4T_{osc}$ 供预分频器分频。

6.3.2 WDT(看门狗定时器)

看门狗定时器（WDT）是一个运行在片内的 RC 振荡器，它不需要任何的外接元件。该 RC 振荡器独立于 OSCI/OSCO 引脚上的 RC 振荡器。这样，即使器件的 OSCI 和 OSO 引脚上的时钟停振（例如睡眠模式），WDT 仍将正常工作。在正常运行或睡眠模式下，WDT 溢出将导致器件复位， $\overline{TO}$ 将被清 0。有一个器件配置位 WDTE 是控制看门狗定时器（WDT）的使能/关闭。

没有预分频的情况下，看门狗溢出时间约为 18ms, 4.5ms, 288ms 或者 72ms。这个时间可通过 SUT<1:0>设置。如果需要更长的溢出时间，可以使用预分频器，所以看门狗溢出的最长时间约为 36.8s。

CLRWDT 指令用来清 WDT 和与分频器，如果 WDT 使能，那么该指令可以防止看门狗溢出而使芯片复位。

SLEEP 指令将复位 WDT 和与分频器，如果 WDT 使能。在看门狗复位以前，这将提供最长的睡眠时间。

6.3.3 预分频器

预分频器（8 位向下计数）可以用于 Timer0 或 WDT，但不能同时使用。PSA (OPTION<3>)位决定预分频器分配给 Timer0 还是 WDT，PS<2:0>(OPTION<2:0>)决定分频比率。

当预分频分配给 Timer0 时，对 TMR0 的写操作将清掉预分频器。当预分频器分配给 WDT 时，CLRWDT 将清掉预分频器和 WDT。预分频器不可读也不可写。复位后，预分频内容为全 1。

为避免不必要的复位，当改变预分频器如何分配时，CLRWDT 指令或者 CLRR TMR0 指令必需被执行。

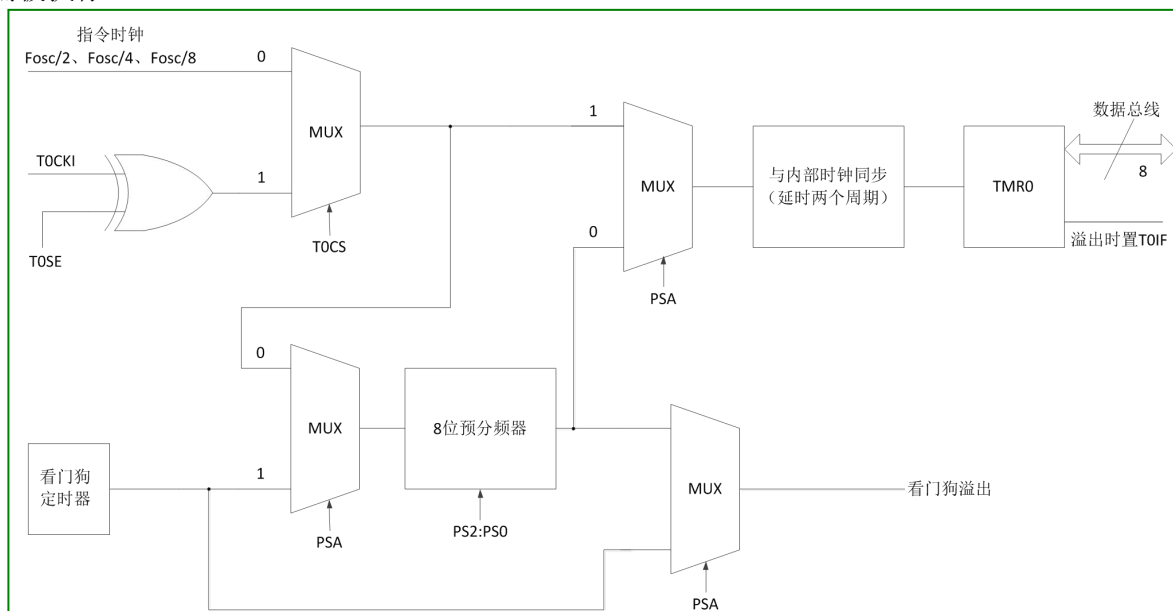


图 6.4: 预分频器结构框图

6.4 中断

HS23P10 有三种中断方式：



- 1、INT 管脚的外部中断
- 2、TMR0 溢出中断
- 3、PORT B 输入状态改变中断

INTFLAG 为中断标志寄存器。全局中断使能位 GIE (INTEN<7>), 置位时可以使能所有未被屏蔽的中断, 清零时将关闭所有中断。

中断发生时 GIE 位 (在中断发生前 GIE 位和该中断相关的中断屏蔽位置 1) 被硬件清零从而禁止进一步中断, 同时下条指令跳到 008h 后开始执行。中断标志位在 GIE 重新置 1 的前由软件清零以防止重复中断。

一 执行 RETFIE 指令将退出中断, 并且会使 GIE 重新置位

一个中断标志位 (PBIF 除外的) 会被它的中断事件置 1, 而不管与它相关的中断使能位是否启用。读 INTFLAG 寄存器将返回 INTFLAG 和 INTEN 与的结果。

当通过 INT 指令发生软中断时, 下条指令跳到 002H 后开始执行。

6.4.1 外部中断

外部中断 INT 管脚上升沿还是下降沿触发由 INTEDG 位 (OPTION<6>)决定, 当一个有效的跳变发生时标志位 INTIF 置 1, 如 INTIE 位 (INTEN<2>) 清零, 该中断被屏蔽。

如果在睡眠之前 INTIE 位已被置 1, INT 中断可以将系统从睡眠唤醒。如果在 GIE 位已被置 1, 机器唤醒以后会执行中断服务程序, 否则会运行睡眠以后的下一条指令。

6.4.2 Timer0 中断

TMR0 发生溢出 (FFH 00H) 时 T0IF 标志位置 1 (INTFLAG<0>)。T0IE 位 (INTEN<0>) 清零, 该中断被屏蔽。

6.4.3 PORT B 输入改变中断

IOB<7:0> 输入改变中断触发时, PBIF 标志位置 1 (INTFLAG<1>)。PBIE 位 (INTEN<1>) 清零, 该中断被屏蔽。

在输入改变中断发生之前, 必须读取 port B 信息。与 PortB 的管脚相对应的 WUBn 位 (WUCON<7:0>) 清零或设置为输出或 IOB0 脚设置为外部中断输入脚 INT 时, 将不具备该功能。

如果在睡眠之前 PBIE 位已被置 1, PORT B 输入脚改变中断也可以作为睡眠唤醒条件。在睡眠之前 GIE 位已被置 1, MCU 唤醒以后会执行中断服务程序, 否则会运行睡眠以后的下一条指令。

6.5 SLEEP(睡眠模式)

执行 SLEEP 指令进入睡眠模式。 $\overline{PD}$ 被清, $\overline{T0}$ 被置位, 看门狗定时器也被清 0 但仍然保持运行状态, 外部时钟关闭; 所有 I/O 引脚保持睡眠前的状态

6.5.1 睡眠唤醒

以下事件的发生将会将芯片从睡眠模式唤醒:

- 1、RSTB 管脚复位
- 2、WDT 溢出 (如果 WDT 使能)
- 3、IOB0/INT 管脚中断, 或者 PORT B 输入状态改变

外部的 RSTB 管脚和看门狗溢出都能使机器复位。上电复位或者执行 SLEEP 指令时 $\overline{PD}$ 位置 1, 看门狗溢出复位时 $\overline{T0}$ 位用于清零。



机器要想通过中断唤醒，该中断使能位必须置 1，不管 GIE 是否置 1。当 GIE 位被清零，机器唤醒以后执行 SLEEP 指令以后的指令；当 GIE 位被置 1，机器唤醒以后跳转到中断复位地址（008H）。在高频或低频模式机器唤醒延迟时间为 18/4.5/288/72ms（该延迟时间由 SUT<1:0>设置）加上 16 个振荡周期。

在 IRC、ERIC 或者 ERC 模式，机器唤醒延迟时间为 640μs。

6.6 复位 RESET

以下事件发生将导致 HS23P10 复位：

- 1、上电复位（POR）
- 2、欠压复位（BOR）
- 3、WDT 溢出复位
- 4、RSTB 引脚复位

一些寄存器在一些复位条件下没有影响，在上电和其他一些复位情况下它们的状态是未知或者未改变的。在上电复位，RSTB 管脚复位，看门狗 WDT 溢出复位后大多数寄存器会回到复位状态。

当检测到 Vdd 上升信号后，芯片将产生一个上电复位脉冲信号。要使用这个特点，用户需要把 RSTB 管脚连接到 Vdd。

当 Vdd 低于某一固定值时，将会是芯片复位，这样能保证芯片只能在正常电压范围内工作。欠压复位（BOR）复位作为应用主要用在 AC 或重载交换的应用上。

6.6.1 上电延时定时器 PWRT

任何一种情况复位后，上电延时定时器提供一个 18/4.5/288/72ms 的延时时间（该延时时间由 SUT<1:0>设置）（或者 640μs，取决于不同的振荡源和复位条件）。此间芯片将维持在复位状态。这段时间会由于电压、温度、工艺的不同而有所不同。

表 6.1 PWRT 时间

振荡类型	上电复位 欠压复位	RSTB 复位 WDT 溢出复位
ERC、IRC、ERIC	18/4.5/288/72ms	640μs
HF、LF	18/4.5/288/72ms	18/4.5/288/72ms

6.6.2 振荡器起振定时器 OST

在 HF 或 LF 模式下，当 PWRT 延时结束后，起振定时器（OST）提供了一个 16 个振荡器周期的延时（从 OSCI 输入）。这是为了保证晶体或陶瓷谐振器起振并建立稳定的振荡。这段时间内，只要 OST 工作，MCU 会一直保持在复位状态。

只有振荡信号的幅值达到振荡器的输入阈值时，起振定时器才进行加记数。

6.6.3 复位顺序

检测到 POR，BOR 或 WDT 溢出信号后，按以下顺序复位

- 1、复位锁存器置位，清 PWRT 和 OST；
- 2、POR，BOR 或者 WDT 溢出复位脉冲结束后，PWRT 开始计数；
- 3、PWRT 溢出后，OST 开始计数
- 4、OST 结束后，清复位锁存器，复位结束。

在 HF 或 LF 模式下，复位延迟时间为 18/4.5/288/72ms 加上 16 个振荡周期；在 IRC/ERIC、ERC 模式下，POR，BOR 复位延迟时间为 18/4.5/288/72ms；RSTB、WDT 溢出复位延迟时间为 640μs。

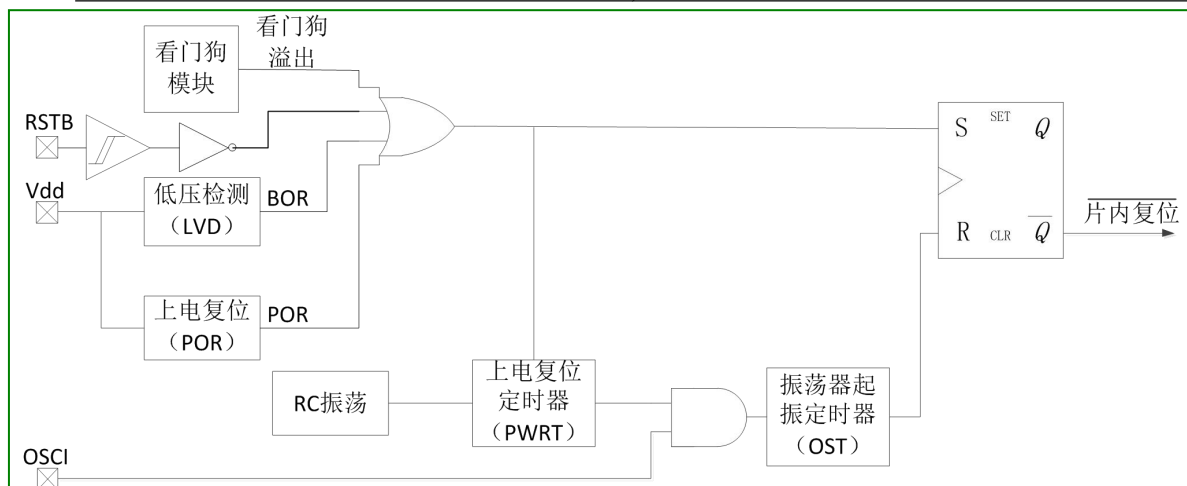


图 6.5 复位电路简图

表 6.2 寄存器复位状态

寄存器	地址	POR 或 BOR	RSTB 或 WDT 复位
ACC	N/A	xxxx xxxx	uuuu uuuu
OPTION	N/A	-011 1111	-011 1111
IOSTA	05H	---- 1111	---- 1111
IOSTB	06H	1111 1111	1111 1111
INDF	00H	xxxx xxxx	uuuu uuuu
TMR0	01H	xxxx xxxx	uuuu uuuu
PCL	02H	1111 1111	1111 1111
STATUS	03H	0001 1xxx	000# #uuu
FSR	04H	11xx xxxx	11uu uuuu
PORTA	05H	xxxx xxxx	uuuu uuuu
PORTB	06H	xxxx xxxx	uuuu uuuu
PCON	08H	101- ----	101- ----
WUCON	09H	0000 0000	0000 0000
PCHBUF	0AH	---- -000	---- -000
PDCON	0BH	1111 1111	1111 1111
ODCON	0CH	0000 0000	0000 0000
PHCON	0DH	1111 1111	1111 1111
INTEN	0EH	0--- -000	0--- -000
INTFLAG	0FH	---- -000	---- -000
通用寄存器	10H~3FH	xxxx xxxx	uuuu uuuu

说明：u = 未改变；x = 未知；— = 未使用；# = 参考下表

表 6.3 复位或唤醒后 RST/ $\overline{T0}$ / $\overline{PD}$ 状态

RST	$\overline{T0}$	$\overline{PD}$	条件
0	1	1	上电复位 POR
0	1	1	欠压复位 BOR
0	u	u	正常工作情况下, RSTB 复位
0	1	0	睡眠期间, RSTB 复位
0	0	1	正常工作情况下, WDT 复位
0	0	0	睡眠期间, WDT 唤醒
1	1	0	睡眠期间, 引脚改变唤醒

说明: u = 未改变

表 6.4 影响 $\overline{T0}$ / $\overline{PD}$ 的事件

事件	$\overline{T0}$	$\overline{PD}$
上电	1	1
WDT 溢出	0	u
执行 SLEEP 指令	1	0
执行 CLRWDT 指令	1	1

说明: u = 未改变

6.7 振荡配置

HS23P10 有 6 种不同的振荡模式, 通过配置 Fosc 选择不同的模式:

- 1、ERC: 外部 R/C 振荡器
- 2、IRC: 内部电阻内部电容振荡器
- 3、ERIC: 外部电阻内部电容振荡器
- 4、XT: 外部振荡器
- 5、LF: 低频晶振
- 6、HF: 高频晶振

在 XT、LF 或 HF 模式下, 一个晶振或陶振连接到 OSCI 和 OSCO 引脚从而建立振荡。为节约成本或对精度要求不高的情况下, 可以选择 ERC 模式, RC 振荡频率取决于 R、C 值, 操作温度以及其他过程参数。

使用 IRC/ERIC 振荡模式为成本节省, 在精度要求不高的场合也可应用, MCU 提供 4 种不同的 RC 振荡频率: 8MHz, 4MHz, 1MHz 和 455KHz, 通过 (RCM<1:0>)来选择, 或者用户也可以通过改变外部电阻来实现。ERIC 振荡器频率取决于电阻和电容, 操作温度以及其他过程参数。

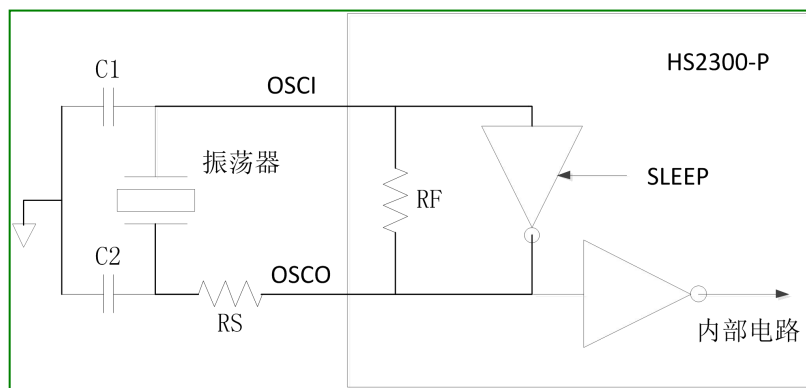


图 6.6: HF 或 LF 模式 (外接振荡)

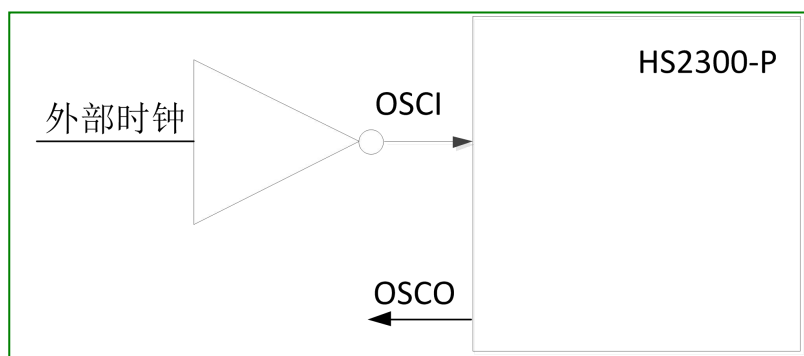


图 6.7: HF 或 LF 模式 (外部时钟输入)

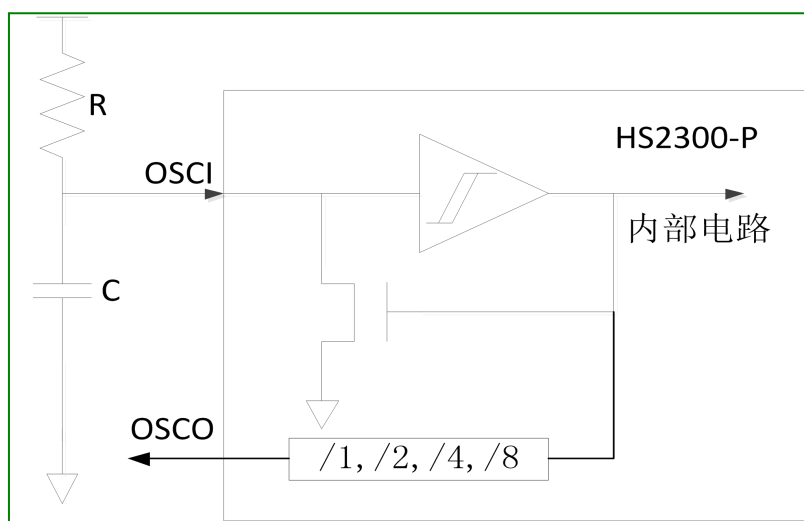


图 6.8: ERC 模式

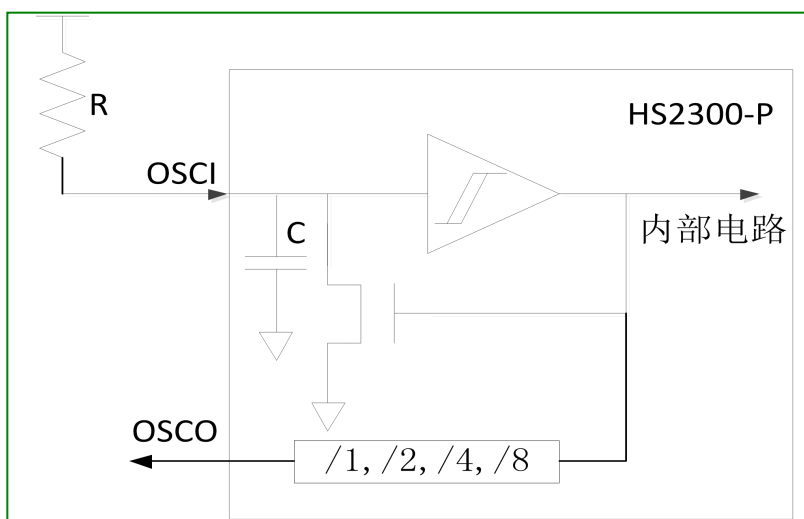


图 6.9: ERIC 模式

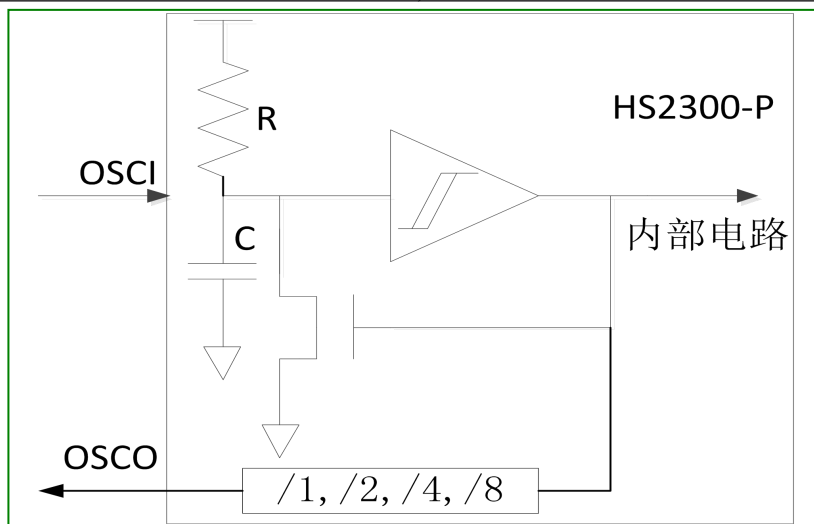


图 6.10: IRC 模式



7. 电气特性

7.1 绝对最大额定值

电源电压: 0V~ 6.0V
输入电压: VSS-0.3V~ VDD+0.3V
存储温度: -65℃~150℃
工作温度: -20℃~80℃

7.2 操作条件

DC 供电电压: +2.2V~5.5V

7.3 直流特性(除非特殊说明 WDT 和 LVDT 禁止)

工作温度: -20℃~80℃

符号	描述	条件	最小	典型	最大	单位
F _{HF}	HF 模式时钟范围	Vdd=5V	1		20	MHz
		Vdd=3V	1		15	
F _{LF}	LF 模式时钟范围	Vdd=5V	32		4000	KHz
		Vdd=3V	32		1000	
F _{ERC}	ERC 模式时钟范围	Vdd=5V	DC		15	MHz
		Vdd=3V	DC		7	
F _{IRC/ERIC}	IRC/ERIC 模式时钟范围	ERIC 模式, Vdd=5V	DC		15	MHz
		ERIC 模式, Vdd=3	DC		7	
		IRC 模式, Vdd=5V	7.84	8	8.16	
		IRC 模式, Vdd=3	7.84	8	8.16	
V _{IH}	输入高电压	I/O 端口, Vdd=5V	2.0			V
		RSTB, T0CKI 引脚, Vdd=5V	2.0			
		I/O 端口, Vdd=3V	1.5			
		RSTB, T0CKI 引脚, Vdd=3V	1.5			
V _{IL}	输入低电压	I/O 端口, Vdd=5V			1.0	V
		RSTB, T0CKI 引脚, Vdd=5V			1.0	
		I/O 端口, Vdd=3V			0.6	
		RSTB, T0CKI 引脚, Vdd=3V			0.6	
V _{OH}	输出高电压	Vdd=5V, I _{OH} =-5.4mA	3.6			V
V _{OL}	输出低电压	Vdd=5V, I _{OL} =8.7mA			0.6	V
I _{PH}	上拉电阻电流	管脚接地, Vdd=5V		-65		μA
I _{PD}	下拉电阻电流	管脚接 Vdd, Vdd=5V		45		μA
I _{WDT}	WDT 电流	Vdd=5V		9	12	μA
		Vdd=3V		2	4	
T _{WDT}	WDT 周期	Vdd=5V		16.2		ms
		Vdd=4V		17.9		
		Vdd=3V		20.4		



I _{LVDT}	LVDT 电流	Vdd=5V, LVDT=3.6V		30	40	μA
		Vdd=5V, LVDT=2V		23	30	
		Vdd=3V, LVDT=2V		6.8	8.0	
I _{SB}	睡眠模式电流	睡眠模式, Vdd=5V, WDT 使能		20		μA
		睡眠模式, Vdd=5V, WDT 禁止		3		
		睡眠模式, Vdd=3V, WDT 使能		2.5		
		睡眠模式, Vdd=3V, WDT 禁止		1.1		
I _{DD}	工作电流	HF 模式, Vdd=5V, 4 个时钟指令				mA
		20MHz		2.04		
		15MHz		1.68		
		10MHz		1.28		
		4MHz		0.78		
		2MHz		0.62		
I _{DD}	工作电流	HF 模式, Vdd=3V, 4 个时钟指令				mA
		20MHz		0.92		
		15MHz		0.72		
		10MHz		0.54		
		4MHz		0.30		
		2MHz		0.19		
I _{DD}	工作电流	HF 模式, Vdd=5V, 2 个时钟指令				mA
		20MHz		2.94		
		15MHz		2.34		
		10MHz		1.74		
		4MHz		0.96		
		2MHz		0.68		
I _{DD}	工作电流	HF 模式, Vdd=3V, 2 个时钟指令				mA
		20MHz		1.38		
		15MHz		1.07		
		10MHz		0.77		
		4MHz		0.38		
		2MHz		0.24		
I _{DD}	工作电流	LF 模式, Vdd=5V, 4 个时钟指令				μA
		2MHz		290		
		1MHz		208		
		500KHz		167		
		100KHz		118		
		32KHz		101		



I _{DD}	工作电流	LF 模式, V _{dd} =3V, 4 个时钟指令					μA
		2MHz				105	
		1MHz				73	
		500KHz				54	
		100KHz				33	
		32KHz				26	
I _{DD}	工作电流	LF 模式, V _{dd} =5V, 2 个时钟指令					μA
		2MHz				371	
		1MHz				269	
		500KHz				194	
		100KHz				130	
		32KHz				108	
I _{DD}	工作电流	LF 模式, V _{dd} =3V, 2 个时钟指令					μA
		2MHz				158	
		1MHz				100	
		500KHz				67	
		100KHz				38	
		32KHz				29	
I _{DD}	工作电流	ERC 模式, V _{dd} =5V, 4 个时钟指令					mA
		C=3P	R=1K	F=14.96M		4.572	
			R=3.3K	F=11.06M		1.845	
			R=10K	F=5.80M		0.761	
			R=100K	F=808K		0.170	
			R=300K	F=276K		0.119	
		C=20P	R=1K	F=11.7M		4.226	
			R=3.3K	F=6.35M		1.519	
			R=10K	F=2.73M		0.613	
			R=100K	F=320K		0.147	
			R=300K	F=108K		0.109	
		C=100P	R=1K	F=5.23M		3.429	
			R=3.3K	F=2.05M		1.163	
			R=10K	F=748K		0.454	
			R=100K	F=80K		0.126	
			R=300K	F=26.4K		0.100	
		C=300P	R=1K	F=2.5M		3.024	
			R=3.3K	F=900K		1.021	
			R=10K	F=316K		0.403	
			R=100K	F=32K		0.119	
			R=300K	F=10.67K		0.098	
I _{DD}	工作电流	ERC 模式, V _{dd} =3V, 4 个时钟指令					
			R=1K	F=8.29M		2.280	



			R=3.3K	F=7.2M		0.913		
			R=10K	F=4.58M		0.396		
			R=100K	F=900K		0.071		
			R=300K	F=316K		0.040		
		C=20P	R=1K	F=7M		2.214		
			R=3.3K	F=5.1M		0.837		
			R=10K	F=2.71M		0.327		
			R=100K	F=374K		0.058		
			R=300K	F=128K		0.035		
		C=100P	R=1K	F=4.14M		2.060		
			R=3.3K	F=2.11M		0.688		
			R=10K	F=848K		0.253		
			R=100K	F=96K		0.047		
			R=300K	F=32K		0.030		
		C=300P	R=1K	F=2.36M		1.890		
			R=3.3K	F=972K		0.630		
			R=10K	F=360K		0.226		
			R=100K	F=38K		0.043		
			R=300K	F=12.71K		0.028		
I _{DD}	工作电流	ERC 模式, Vdd=5V, 2 个时钟指令						mA
		C=3P	R=1K	F=15.16M		5.435		
			R=3.3K	F=11.27M		2.358		
			R=10K	F=5.77M		0.986		
			R=100K	F=826K		0.183		
			R=300K	F=274K		0.108		
		C=20P	R=1K	F=11.56M		4.835		
			R=3.3K	F=6.12M		1.808		
			R=10K	F=2.72M		0.701		
			R=100K	F=308K		0.138		
			R=300K	F=105K		0.092		
		C=100P	R=1K	F=5.32M		3.680		
			R=3.3K	F=1.99M		1.234		
			R=10K	F=722K		0.479		
			R=100K	F=77K		0.110		
			R=300K	F=25K		0.081		
		C=300P	R=1K	F=2.52M		3.107		
			R=3.3K	F=892K		1.057		
			R=10K	F=312K		0.398		
			R=100K	F=32K		0.102		
			R=300K	F=11K		0.077		
I _{DD}	工作电流	ERC 模式, Vdd=3V, 2 个时钟指令						mA
		C=3P	R=1K	F=8.306M		2.552		
			R=3.3K	F=7.29M		1.130		
			R=10K	F=4.81M		0.518		



		C=20P	R=100K	F=904K		0.084		
			R=300K	F=338K		0.039		
			R=1K	F=7.08M		2.445		
			R=3.3K	F=5.07M		0.986		
			R=10K	F=2.68M		0.393		
			R=100K	F=362K		0.061		
			R=300K	F=123K		0.031		
		C=100P	R=1K	F=4.11M		2.197		
			R=3.3K	F=2.03M		0.745		
			R=10K	F=810K		0.270		
			R=100K	F=91K		0.043		
			R=300K	F=30K		0.025		
		C=300P	R=1K	F=2.37M		1.953		
			R=3.3K	F=964K		0.648		
			R=10K	F=354K		0.231		
			R=100K	F=38K		0.038		
			R=300K	F=13K		0.022		
I _{DD}	工作电流	ERIC 模式, Vdd=5V, 4 个时钟指令						mA
		R=1K	F=3.157MHZ		3.119			
		R=3.3K	F=2.68M		1.572			
		R=10K	F=1.47M		0.857			
		R=100K	F=194.7K		0.168			
		R=300K	F=57.86K		0.1			
I _{DD}	工作电流	ERIC 模式, Vdd=3V, 4 个时钟指令						mA
		R=1K	F=2.907M		2.815			
		R=3.3K	F=1.93M		0.721			
		R=10K	F=1.29M		0.401			
		R=100K	F=214.5K		0.067			
		R=300K	F=64.9K		0.029			
I _{DD}	工作电流	IRC 模式, Vdd=5V, 4 个时钟指令						mA
		F=8M				0.77		
		F=4M				0.68		
		F=1M				0.32		
		F=455K				0.27		
I _{DD}	工作电流	IRC 模式, Vdd=3V, 4 个时钟指令						mA
		F=8M				0.37		
		F=4M				0.34		
		F=1M				0.28		
		F=455K				0.20		



8.指令集

指令格式	指令说明	影响的状态位	周期
BCR R, bit	$R\leftarrow 0$	-	1
BSR R, bit	$R\leftarrow 1$	-	1
BTRSC R, bit	若 $R=0$, 则跳过下一条指令	-	1+S
BTRSS R, bit	若 $R=1$, 则跳过下一条指令	-	1+S
NOP	空操作指令	-	1
CLRWD T	清看门狗定时器 $WDT\leftarrow 00H$ WDT 预分频寄存器 $\leftarrow 00H$	$\overline{TO}, \overline{PD}$	1
OPTION	$OPTION\leftarrow ACC$	-	1
SLEEP	进入睡眠模式 $WDT\leftarrow 00H$ WDT 预分频寄存器 $\leftarrow 00H$	$\overline{TO}, \overline{PD}$	1
DAA	加法运算后的十进制转换 $ACC(十进制)\leftarrow ACC(十六进制)$	C	1
DAS	减法运算后的十进制转换 $ACC(十进制)\leftarrow ACC(十六进制)$	-	1
INT	S/W 中断 $Stack\leftarrow PC+1$ $PC\leftarrow 002H$	-	2
IOST R	$IOST\leftarrow ACC$	-	1
RETURN	子程序返回指令, $PC\leftarrow STACK$	-	2
RETFIE	中断返回, GIE 置 1	-	2
CLRA	清 ACC, $ACC\leftarrow 00H$	Z	1
CLRR R	清寄存器 R, $R\leftarrow 00H$	Z	1
MOVAR R	$R\leftarrow ACC$	-	1
MOVR R,d	$dest\leftarrow R$	Z	1
DECR R,d	$dest\leftarrow R-1$	Z	1
DECRSZ R,d	$dest\leftarrow R-1$ 如果结果为 0, 则跳过下一条指令	-	1+S
INCR R,d	$dest\leftarrow R+1$	Z	1
INCRSZ R,d	$dest\leftarrow R+1$ 如果结果为 0, 则跳过下一条指令	-	1+S
ADDAR R,d	$dest\leftarrow R+ACC$	C,DC,Z	1
SUBAR R,d	$dest\leftarrow R-ACC$	C,DC,Z	1
ADCAR R,d	$dest\leftarrow R+ACC+C$	C,DC,Z	1
SBCAR R,d	$dest\leftarrow R-ACC+C$	C,DC,Z	1
ANDAR R,d	$dest\leftarrow R$ 与 ACC	Z	1
IORAR R,d	$dest\leftarrow R$ 或 ACC	Z	1
XORAR R,d	$dest\leftarrow R$ 异或 ACC	Z	1



COMR	R,d	dest←R 取反	Z	1
RLR	R,d	带进位循环左移 dest.(b+1) ←R.b; (b=0~6) dest.0←C C←R.7	C	1
RRR	R,d	带进位循环右移 dest.b ←R. (b+1); (b=0~6) dest.7←C C←R.0	C	1
SWAPR	R,d	R<3:0>→dest <7:4> R<7:4>→dest <3:0>	C	1
MOVIA	I	ACC ←I	-	1
ADDIA	I	ACC ←I+ACC	C,DC,Z	1
SUBIA	I	ACC ←I-ACC	C,DC,Z	1
ANDIA	I	ACC ←I 与 ACC	Z	1
IORIA	I	ACC ←I 或 ACC	Z	1
XORIA	I	ACC ←I 异或 ACC	Z	1
RETIA	I	子程序返回，同时把立即数 I 赋给累加器 ACC ←I PC ←Stack	-	2
CALL	I	子程序调用 Stack←PC+1 PC<8:0>←I	-	2
GOTO	I	跳转指令 PC<8:0>←I	-	2

注 1. bit: 寄存器的位地址 (0~7)

2. R: 寄存器 R

3. I: 立即数

4. ACC: 累加器

5. d: 目标寄存器选择 (指定操作结果存放位置)

0 = 将结果存放入 ACC;

1 = 将结果存放入 R;

6. dest: 目标寄存器

7. 如果判断条件为真, S=1, 否则, S=0;

8.1 指令描述

ADDAR 寄存器 R 和累加器 ACC 相加

语法: ADDAR R, d

操作数: 0≤R≤63

d∈[0,1]

操作: dest←R+ACC

影响的状态位: C,DC,Z

描述: ACC 与 R 寄存器的内容相加。如果 'd' 为 0, 结果存储在 ACC 中。如果 'd' 为 1, 结果存储在 R 中。



周期:	1
ADCAR	带进位加法
语法:	ADCAR R, d
操作数:	$0 \leq R \leq 63$ $d \in [0,1]$
操作:	$dest \leftarrow R + ACC + C$
影响的状态位:	C, DC, Z
描述:	ACC 与 R 寄存器的内容相加(带进位)。如果 'd' 为 0, 结果存储在 ACC 中。 如果 'd' 为 1, 结果存储在 R 中。
周期:	1
ADDIA	立即数和累加器 ACC 相加
语法:	ADDIA I
操作数:	$0 \leq I \leq 255$
操作:	$ACC \leftarrow ACC + I$
影响的状态位:	C, DC, Z
描述:	ACC 与立即数相加, 结果存储在 ACC 中。
周期:	1
ANDAR	寄存器 R 和累加器 ACC 相与
语法:	ANDAR R, d
操作数:	$0 \leq R \leq 63$ $d \in [0,1]$
操作:	$dest \leftarrow R \text{ 与 } ACC$
影响的状态位:	Z
描述:	ACC 与 R 寄存器的内容相与。如果 'd' 为 0, 结果存储在 ACC 中。如果 'd' 为 1, 结果存储在 R 中。
周期:	1
ANDIA	立即数和累加器 ACC 相与
语法:	ANDIA I
操作数:	$0 \leq I \leq 255$
操作:	$ACC \leftarrow ACC \text{ 与 } I$
影响的状态位:	Z
描述:	ACC 与立即数相与, 结果存储在 ACC 中。
周期:	1
BCR	位清 0
语法:	BCR R, b
操作数:	$0 \leq R \leq 63$ $0 \leq b \leq 7$
操作:	$R[b] \leftarrow 0$
影响的状态位:	无
描述:	寄存器 R 的位 'b' 清 0
周期:	1
BSR	位置 1



语法: BSR R, b
 操作数: $0 \leq R \leq 63$
 $0 \leq b \leq 7$
 操作: $R \leftarrow R \gg b$
 影响的状态位: 无
 描述: 寄存器 R 的位 'b' 置 1
 周期: 1

BTRSC 位测试, 为 0 则跳

语法: BTRSC R, b
 操作数: $0 \leq R \leq 63$
 $0 \leq b \leq 7$
 操作: 如果 $R \ll b = 0$, 则跳过下一条指令
 影响的状态位: 无
 描述: 如果寄存器 R 的位 'b' 为 '0', 则跳过下一条指令。
 如果位 'b' 为 '0', 那么下一条指令 (在当前指令执行期间取指) 被丢弃而执行一 NOP 指令, 使该指令变成 2 个周期指令。
 周期: 1 或 2

BTRSS 位测试, 为 1 则跳

语法: BTRSS R, b
 操作数: $0 \leq R \leq 63$
 $0 \leq b \leq 7$
 操作: 如果 $R \ll b = 1$, 则跳过下一条指令
 影响的状态位: 无
 描述: 如果寄存器 R 的位 'b' 为 '1', 则跳过下一条指令。
 如果位 'b' 为 '1', 那么下一条指令 (在当前指令执行期间取指) 被丢弃而执行一 NOP 指令, 使该指令变成 2 个周期指令。
 周期: 1 或 2

CALL 子程序调用

语法: CALL I
 操作数: $0 \leq I \leq 1023$
 操作: $Stack \leftarrow PC + 1$
 $PC \leftarrow I$
 影响的状态位: 无
 描述: 调用子程序。首先, 返回地址 (PC+1) 被压入堆栈。10 位立即数地址被装入 PC 位 <9:0>。CALL 为一条两周期指令。
 周期: 2

CLRA 清 ACC

语法: CLRA
 操作数: 无
 操作: $ACC \leftarrow 00H$
 $Z \leftarrow 1$
 影响的状态位: Z
 描述: 累加器 ACC 被清, 位 Z 被置 1
 周期: 1



CLRR	清寄存器 R
语法:	CLRR R
操作数:	$0 \leq R \leq 63$
操作:	$R \leftarrow 00H$ $Z \leftarrow 1$
影响的状态位:	Z
描述:	寄存器 R 被清, 位 Z 被置 1
周期:	1
CLRWDT	清看门狗定时器
语法:	CLRWDT
操作数:	无
操作:	$WDT \leftarrow 00H$ $WDT \text{ 预分频器} \leftarrow 00H$ $\overline{T0} \leftarrow 1$ $\overline{PD} \leftarrow 1$
影响的状态位:	$\overline{T0}$, $\overline{PD}$
描述:	CLRWDT 指令清零看门狗定时器, 同时将 WDT 的预分频器计数值清零。 状态位 $\overline{T0}$ 和 $\overline{PD}$ 被置 1。
周期:	1
COMR	寄存器 R 的内容取反
语法:	COMR R, d
操作数:	$0 \leq R \leq 63$ $d \in [0,1]$
操作:	$dest \leftarrow R \text{ 取反}$
影响的状态位:	Z
描述:	寄存器 R 的内容取反。如果 'd' 为 0, 结果存储在 ACC 中。如果 'd' 为 1 结果存储在 R 中。
周期:	1
DAA	加法运算后十进制转换
语法:	DAA
操作数:	无
操作:	$ACC(\text{十进制}) \leftarrow ACC(\text{十六进制})$
影响的状态位:	C
描述:	在加法运算完成以后将 ACC 里的数据从十六进制转化为十进制重存给 ACC
周期:	1
DAS	减法运算后十进制转换
语法:	DAS
操作数:	无
操作:	$ACC(\text{十进制}) \leftarrow ACC(\text{十六进制})$
影响的状态位:	无
描述:	在减法运算完成以后将 ACC 里的数据从十六进制转化为十进制重存给 ACC



周期: 1

DEC R 寄存器 R 和累加器 ACC 相加

语法: DEC R, d

操作数: $0 \leq R \leq 63$ $d \in [0, 1]$ 操作: $dest \leftarrow R - 1$

影响的状态位: Z

描述: 寄存器 R 的内容减 1。如果 'd' 为 0, 结果存储在 ACC 中。如果 'd' 为 1 结果存储在 R 中。

周期: 1

DEC SZ 寄存器 R 和累加器 ACC 相加

语法: DEC SZ R, d

操作数: $0 \leq R \leq 63$ $d \in [0, 1]$ 操作: $dest \leftarrow R - 1$, 结果为 0 则跳过下一条指令

影响的状态位: 无

描述: 寄存器 R 的内容减 1。如果 'd' 为 0, 结果存储在 ACC 中。如果 'd' 为 1 结果存储在 R 中。如果位 'b' 为 '0', 那么下一条指令 (在当前指令执行期间取指) 被丢弃而执行一 NOP 指令, 使该指令变成 2 个周期指令。

周期: 1 或 2

GOTO 无条件转移指令

语法: GOTO I

操作数: $0 \leq I \leq 1023$ 操作: $PC \leftarrow I$

影响的状态位: 无

描述: 无条件转移指令。10 位立即数地址被装入 PC 位 <9:0>。GOTO 为一条两周期指令。

周期: 2

INC R 寄存器 R 内容加 1

语法: INC R, d

操作数: $0 \leq R \leq 63$ $d \in [0, 1]$ 操作: $dest \leftarrow R + 1$

影响的状态位: Z

描述: 寄存器 R 的内容加 1。如果 'd' 为 0, 结果存储在 ACC 中。如果 'd' 为 1 结果存储在 R 中。

周期: 1

INC SZ 寄存器 R 内容加 1, 为 0 则跳

语法: INC SZ R, d

操作数: $0 \leq R \leq 63$ $d \in [0, 1]$ 操作: $dest \leftarrow R + 1$, 结果为 0 则跳过下一条指令

影响的状态位: 无



描述:	寄存器 R 的内容加 1。如果 'd' 为 0，结果存储在 ACC 中。如果'd'为 1 结果存储在 R 中。如果位'b'为'0'，那么下一条指令（在当前指令执行期间取指）被丢弃而执行一 NOP 指令，使该指令变成 2 个周期指令。
周期:	1 或 2
INT	S/W 中断
语法:	INT
操作数:	无
操作:	Stack←PC+1, PC ←002H
影响的状态位:	无
描述:	子程序调用。首先下一条指令地址(PC+1)进栈。地址 002h 被装载入 PC 的位 <10: 0>。
周期:	2
IORAR	寄存器 R 和累加器 ACC 相或
语法:	IORAR R, d
操作数:	0≤R≤63 d∈[0,1]
操作:	dest←ACC 或 R
影响的状态位:	Z
描述:	寄存器 R 的内容与累加器 ACC 内容相或。如果 'd' 为 0，结果存储在 ACC 中。如果'd'为 1 结果存储在 R 中。
周期:	1
IORIA	立即数与累加器 ACC 内容相或
语法:	IORAR I
操作数:	0≤R≤63 d∈[0,1]
操作:	dest←ACC 或 I
影响的状态位:	Z
描述:	立即数与累加器 ACC 内容相或。如果 'd' 为 0，结果存储在 ACC 中。如果'd'为 1 结果存储在 R 中。
周期:	1
IOST	IOST 寄存器赋值
语法:	IOST R
操作数:	R=5,6
操作:	IOST 寄存器←ACC
影响的状态位:	无
描述:	累加器 ACC 内容传送到 IOST 寄存器
周期:	1
MOVAR	累加器 ACC 内容传送给 R
语法:	MOVAR R
操作数:	0≤R≤63
操作:	R←ACC
影响的状态位:	无
描述:	累加器 ACC 内容传送给 R



周期: 1

MOVIA 立即数传送到累加器 ACC

语法: MOVIA I

操作数: $0 \leq I \leq 255$ 操作: $ACC \leftarrow I$

影响的状态位: 无

描述: 立即数传送到累加器 ACC

周期: 1

MOVR 寄存器 R 传送

语法: MOVR R, d

操作数: $0 \leq R \leq 63$ $d \in [0, 1]$ 操作: $dest \leftarrow R$

影响的状态位: Z

描述: 将寄存器'R'的内容送入目标寄存器。如果'd' = 0, 目标寄存器为累加器 ACC 寄存器; 如果'd' = 1, 目标寄存器为'R'寄存器本身。由于状态标志位 Z 受到指令结果的影响, 'd' = 1 可用于检测寄存器内容是否为 0。

周期: 1

MOVR 寄存器 R 和累加器 ACC 相加

语法: ADDAR R, d

操作数: $0 \leq R \leq 63$ $d \in [0, 1]$ 操作: $dest \leftarrow R + ACC$

影响的状态位: C, DC, Z

描述: 寄存器的值和累加器 ACC 相加送入目的寄存器。如果'd' = 0, 目标寄存器为累加器 ACC; 如果'd' = 1, 目标寄存器为'R'寄存器本身。由于状态标志位 Z 受到指令结果的影响, 'd' = 1 可用于检测寄存器内容是否为 0。

周期: 1

NOP 空操作

语法: NOP

操作数: 无

操作: 空操作

影响的状态位: 无

描述: 空操作

周期: 1

OPTION OPTION 寄存器赋值

语法: OPTION

操作数: 无

操作: $OPTION \leftarrow ACC$

影响的状态位: 无

描述: 累加器 ACC 内容传送到 OPTION 寄存器

周期: 1



REFIE	子程序返回，使能全局中断
语法：	REFIE
操作数：	无
操作：	PC←Stack
影响的状态位：	无
描述：	返回地址送入 PC，GIE 置 1
周期：	2
RETIA	带立即数子程序返回
语法：	RETIA I
操作数：	0≤I≤255
操作：	ACC←I Stack←PC
影响的状态位：	无
描述：	立即数 I 装载到累加器 ACC，9 位返回地址送入 PC
周期：	2
RETURN	子程序返回
语法：	RETURN
操作数：	无
操作：	Stack←PC
影响的状态位：	无
描述：	子程序返回，栈顶被转入 PC
周期：	2
RLR	带进位循环左移
语法：	RLR R, d
操作数：	0≤R≤63 d∈[0,1]
操作：	dest.(b+1)←R.b; (b=0~6) dest.0←C C←R.7
影响的状态位：	C
描述：	将寄存器'R'的内容带进位循环左移。如果'd'=0，目标寄存器为累加器 ACC；如果'd'=1，目标寄存器为'R'寄存器本身。
周期：	1
RRR	寄存器 R 和累加器 ACC 相加
语法：	RRR R, d
操作数：	0≤R≤63 d∈[0,1]
操作：	dest.b←R.(b+1); (b=0~6) dest.7←C C←R.0
影响的状态位：	C
描述：	将寄存器'R'的内容带进位循环右移。如果'd'=0，目标寄存器为累加器 ACC；如果'd'=1，目标寄存器为'R'寄存器本身。
周期：	1



SLEEP	进入睡眠模式
语法:	SLEEP
操作数:	无
操作:	WDT←00H WDT 预分频寄存器←00H $\overline{T0} \leftarrow 1$ $\overline{PD} \leftarrow 0$
影响的状态位:	$\overline{T0}$, $\overline{PD}$
描述:	掉电状态位 $\overline{PD}$ 清零。超时状态位 $\overline{T0}$ 位置 1。看门狗定时器及其预分频器计数清零。振荡器停止工作, 单片机进入休眠模式。
周期:	1
SUBAR	寄存器 R 和累加器 ACC 相加
语法:	SUBAR R, d
操作数:	$0 \leq R \leq 63$ $d \in [0,1]$
操作:	dest←R-ACC
影响的状态位:	C,DC,Z
描述:	R 寄存器的内容减累加器 ACC 内容。如果 'd' 为 0, 结果存储在 ACC 中。如果'd'为 1, 结果存储在 R 中。
周期:	1
SBCAR	带借位减法
语法:	SBCAR R, d
操作数:	$0 \leq R \leq 63$ $d \in [0,1]$
操作:	dest←R-ACC+C
影响的状态位:	C,DC,Z
描述:	R 寄存器的内容减累加器 ACC 内容 (带借位)。如果 'd' 为 0, 结果存储在 ACC 中。如果'd'为 1, 结果存储在 R 中。
周期:	1
SUBIA	寄存器 R 和累加器 ACC 相加
语法:	SUBIA I
操作数:	$0 \leq I \leq 255$
操作:	ACC←I-ACC
影响的状态位:	C,DC,Z
描述:	立即数减累加器 ACC 内容。如果 'd' 为 0, 结果存储在 ACC 中。如果'd'为 1, 结果存储在 R 中。
周期:	1
SWAPR	寄存器半字节交换
语法:	SWAPR R, d
操作数:	$0 \leq R \leq 63$ $d \in [0,1]$
操作:	$R \langle 3:0 \rangle \rightarrow \text{dest} \langle 7:4 \rangle$



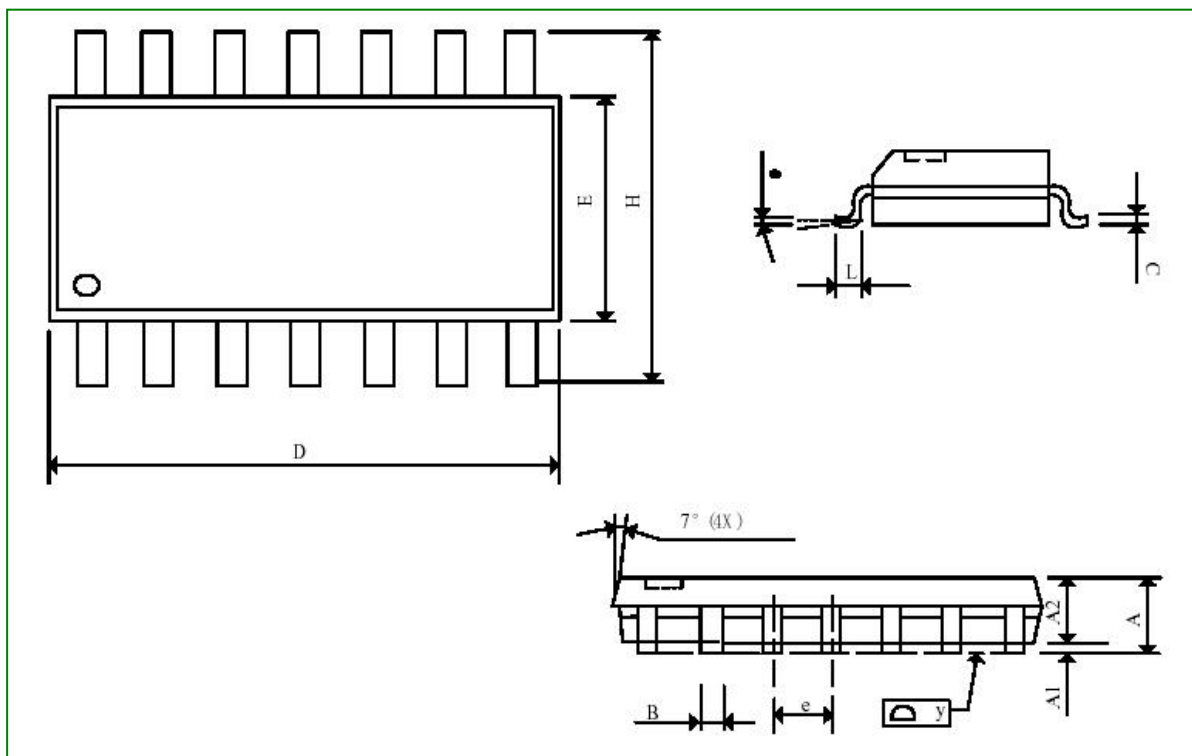
	R<7:4>→dest <3:0>
影响的状态位:	无
描述:	寄存器 R 的高低半字节交换。如果 'd' 为 0, 结果存储在 ACC 中。如果'd'为 1, 结果存储在 R 中。
周期:	1
XORAR	寄存器 R 和累加器 ACC 相异或
语法:	XORAR R, d
操作数:	0≤R≤63 d∈[0,1]
操作:	dest←ACC 异或 R
影响的状态位:	Z
描述:	寄存器 R 的内容与累加器 ACC 内容相异或。如果 'd' 为 0, 结果存储在 ACC 中。如果'd'为 1 结果存储在 R 中。
周期:	1
XORIA	立即数和累加器 ACC 相异或
语法:	IORAR I
操作数:	0≤I≤255
操作:	ACC←ACC 异或 I
影响的状态位:	Z
描述:	立即数与累加器 ACC 内容相异或。结果存储在 ACC 中。
周期:	1



9. 封装及尺寸

9.1 SOP14 封装图及尺寸

9.1.1 SOP14 封装图



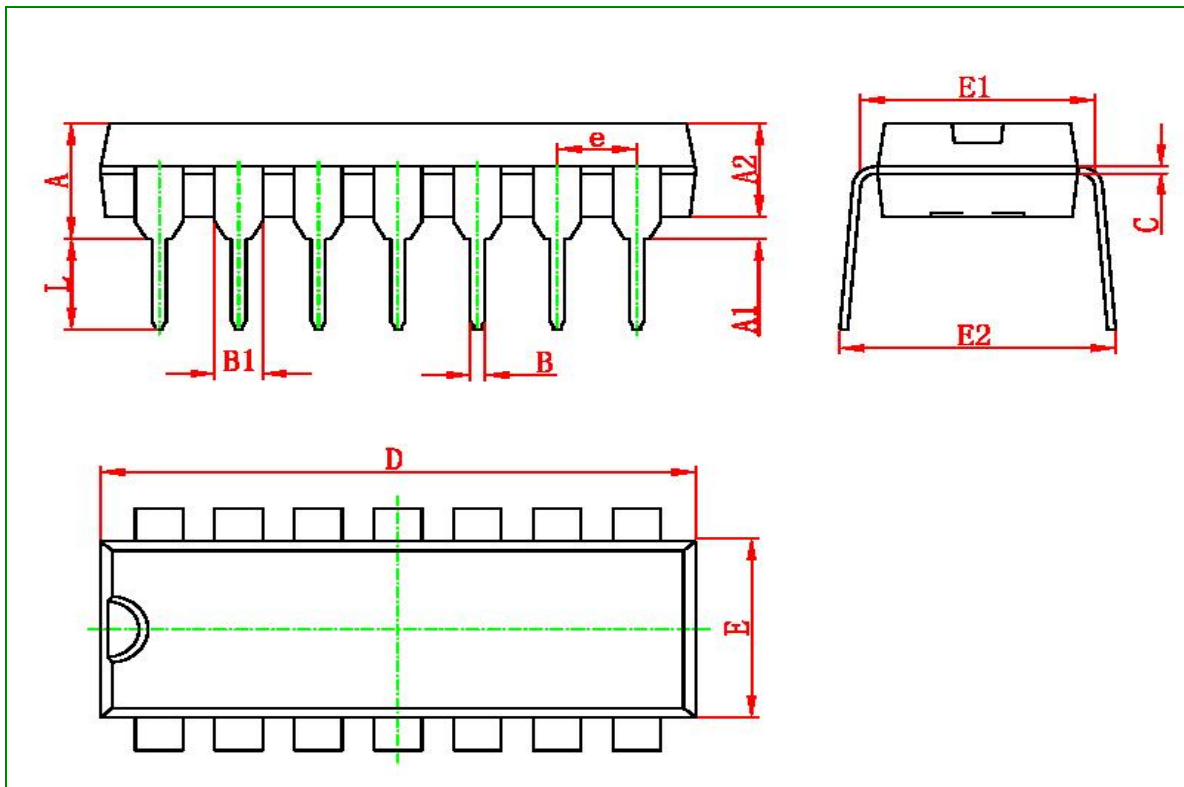
9.1.2 SOP14 封装尺寸

Symbol	Dimensions In Millimeters			Dimensions In Inches		
	Min	Typ	Max	Min	Typ	Max
A	1.35	1.60	1.75	0.053	0.063	0.069
A1	0.1	-	0.25	0.004	-	0.01
A2	-	1.45	-	-	0.057	-
B	0.33	-	0.51	0.013	-	0.02
C	0.19	-	0.25	0.007	-	0.010
D	8.55	-	8.75	0.337	-	0.344
E	3.8	-	4	0.150	-	0.157
e	-	1.27	-	-	0.05	-
H	5.8	-	6.2	0.228	-	0.244
L	0.4	-	1.27	0.016	-	0.05
Y	-	-	0.10	-	-	0.004



9.2 DIP14 封装图及尺寸

9.2.1 DIP14 封装图



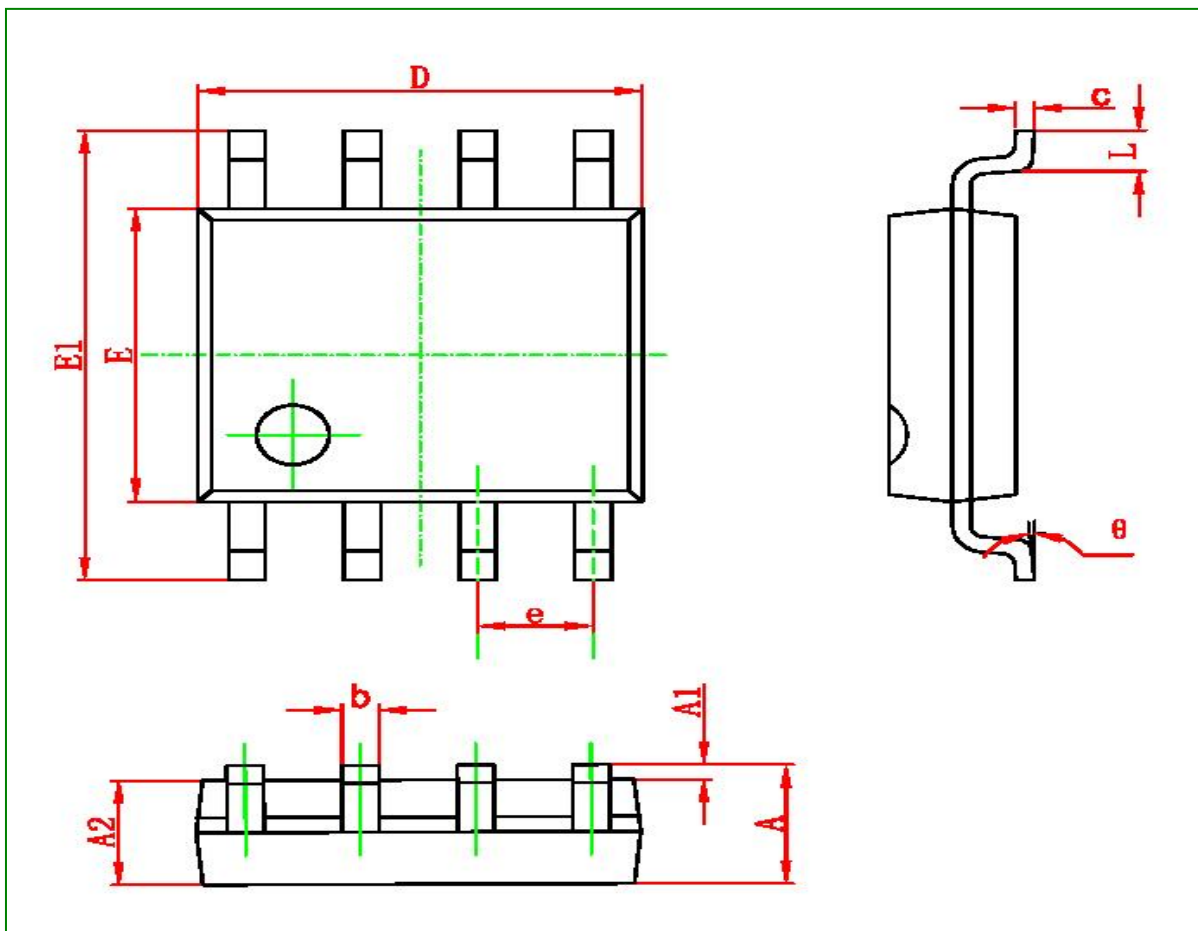
9.2.2 DIP14 封装尺寸

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
D	4.900	5.100	0.193	0.201
E	4.300	4.500	0.169	0.177
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
E1	6.250	6.550	0.246	0.258
A		1.100		0.043
A2	0.800	1.000	0.031	0.039
A1	0.020	0.150	0.001	0.006
e	0.650(BSC)		0.026(BSC)	
L	0.500	0.700	0.020	0.028
H	0.250(TYP)		0.01(TYP)	



9.3 SOP8 封装图及尺寸

9.3.1 SOP8 封装图



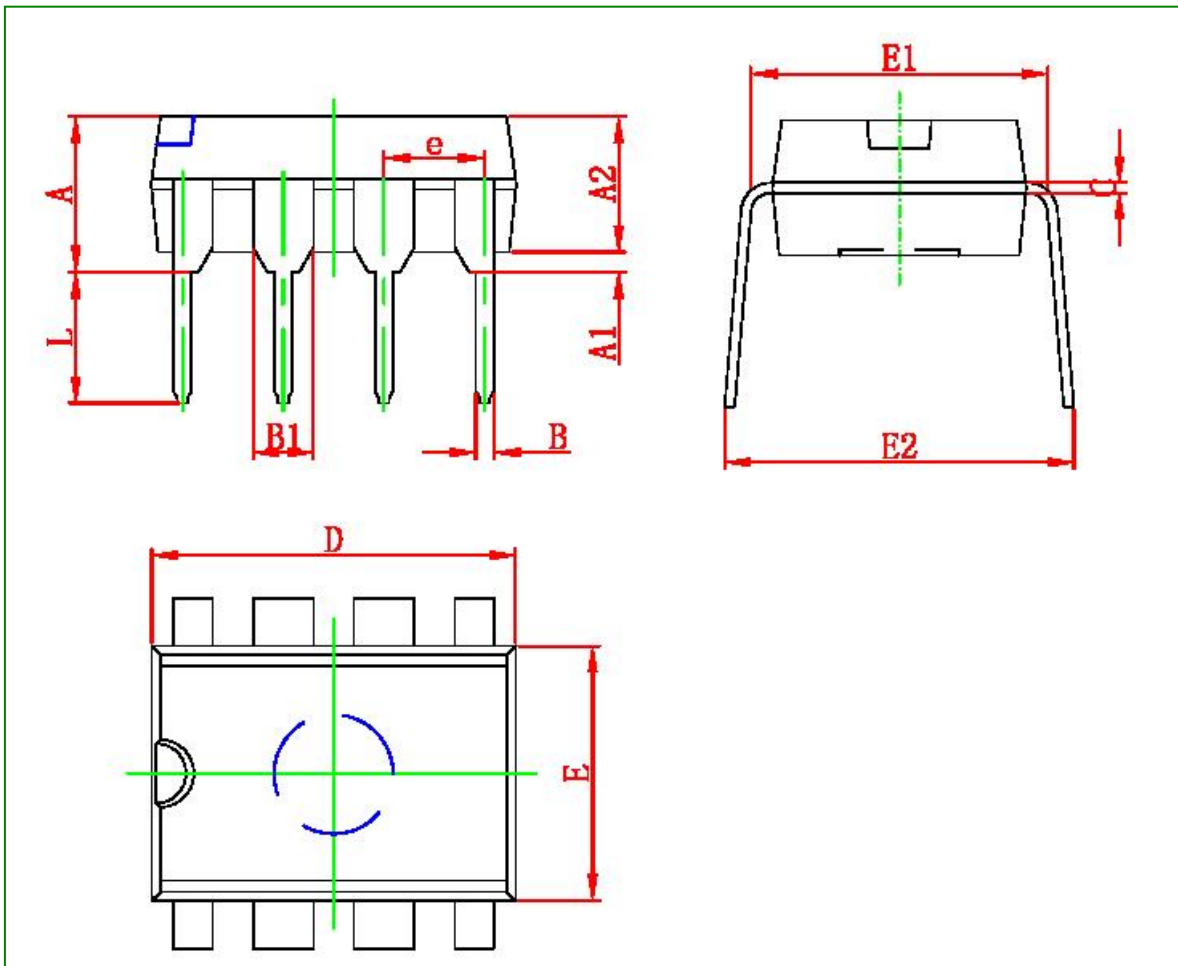
9.3.2 SOP8 封装尺寸

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
C	0.170	0.250	0.006	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
E	1.270(BSC)		0.050(BSC)	
L	0.400	1.270	0.016	0.050
H	0.250(TYP)		0.01(TYP)	



9.4 DIP8 封装图及尺寸

9.4.1 DIP8 封装图



9.4.2 DIP8 封装尺寸

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524(BSC)	0.060(BSC)		
C	0.204	0.360	0.008	0.014
D	9.000	9.400	0.354	0.370
E	6.200	6.600	0.244	0.260
E1	7.32		7.920	
e	2.540(BSC)	0.100(BSC)		
θ	0°	8°	0°	8°



10. 修正记录

版本	时间	内容	修改者
V2.00F	2016.03.09	初版	HLJ
V2.1	2020.04.27	增加 SOT23-6 管脚图及封装	FJM
V2.2	2020.08.04	修改部分电气特性	FJM
V2.3	2020.11.13	完善电流信息	FJM
VI2.3	2020.12.09	添加指令集信息	FJM
VI2.4	2022.01.20	修改电器特性	FJM
V2.5	2022.07.12	修改指令宽度，修改版本信息	FJM

Information furnished is believed to be accurate and reliable. However, HuaXin Micro-electronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. The actual part delivered may not completely agree with the description written here and it is user's responsibility to make wise judgment on the performance. HuaXin Micro-electronics assumes no responsibility for the mismatch occurred. No license is granted by implication or otherwise under any patent or patent rights of HuaXin Micro-electronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. HuaXin Micro-electronics products are not authorized for use as critical components in life support devices or systems without express written approval of HuaXin Micro-electronics.